

Ex. 1 Mostre como as interrupções no processador MIPS são mascaradas com os registradores STATUS e CAUSE.

Ex. 2 Descreva o que ocorre com os registradores STATUS e CAUSE do MIPS durante o atendimento de uma interrupção.

Ex. 3 O que ocorre após a detecção de uma interrupção por um processador MIPS32r2? O que é responsabilidade do *hardware* e o que é responsabilidade do *software*?

Ex. 4 Enumere todos os componentes do estado do processador MIPS32r2 que devem ser salvados/recuperados numa troca de contexto.

Ex. 5 Um acesso à memória (que desvia da cache) custa 100 ciclos de relógio do processador, quantos ciclos custa a troca de contexto do exercício anterior? Não apresente um resultado numérico; apenas indique quais são os operandos e as operações necessárias à resposta.

Ex. 6 Quais as diferenças entre o registrador STATUS do MIPS e o registrador de status da UART? Para que servem *dois* registradores de status?

Ex. 7 Por que o tratamento da interrupção de transmissão é mais complicado do que o tratamento da interrupção de recepção?

Ex. 8 Num sistema em que somente a UART gera interrupções, é necessário desabilitar as interrupções durante o tratamento de uma interrupção da UART? O que ocorre se, no tratamento de uma das interrupções (*e.g.* recepção) ocorre a outra interrupção (transmissão)? Posto de outra forma, quando o registrador de status da UART deve ser lido?

Ex. 9 Com base na sua resposta ao exercício anterior, vale a pena ler o registrador de status da UART antes de retornar de uma interrupção?