

Entrega em 10dez. A lista pode ser respondida a lápis, desde que escrita com grafite mais macio do que B, e em letra legível. Você pode editar a resposta e a enviar por e-mail para rhexsel@gmail.com com assunto *lista24*, ou pode fotografar sua resposta e enviá-la. A lista deve ser respondida individualmente.

Leia a Seção 9.2 de *mi co12 .pdf*, assista ao vídeo *cpu_01 .mp4*, e responda os exercícios abaixo.

1. A codificação das instruções do Mico XII é indicada abaixo. Sua tarefa é mostrar como implementar, no Mico XII, as instruções listadas abaixo.

- (i) a instrução **jtm** (*jump indirect through memory*) é:
 $\mathbf{jtm} \ D(a) \quad \# \ IP \leftarrow M[R(a) + \text{extSin}(D)]$ (opcode α)
- (ii) a instrução **jalr** (*jump-and-link-register*) é:
 $\mathbf{jalr} \ c, a \quad \# \ R(c) \leftarrow IP+1, IP \leftarrow R(a)$ (opcode β)
- (iii) a instrução **sllr** (*shift logical left register*) é:
 $\mathbf{sllr} \ c, a, b \quad \# \ R(c) \leftarrow R(a) \ll R(b)$ (opcode γ)
- (iv) a instrução **sllc** (*shift logical left constant*) é:
 $\mathbf{sllc} \ c, a, K \quad \# \ R(c) \leftarrow R(a) \ll K$ (opcode δ)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
opcode				a				b				c				const															

Sua resposta deve conter:

- (a) a codificação das novas instruções;
- (b) restrições na codificação de **sllr** e **sllc** – veja a Seção 6.4.1.
- (c) alterações e/ou adições ao circuito do Mico XII (na próxima folha);
- (d) o conteúdo da memória de controle para as novas instruções.

