

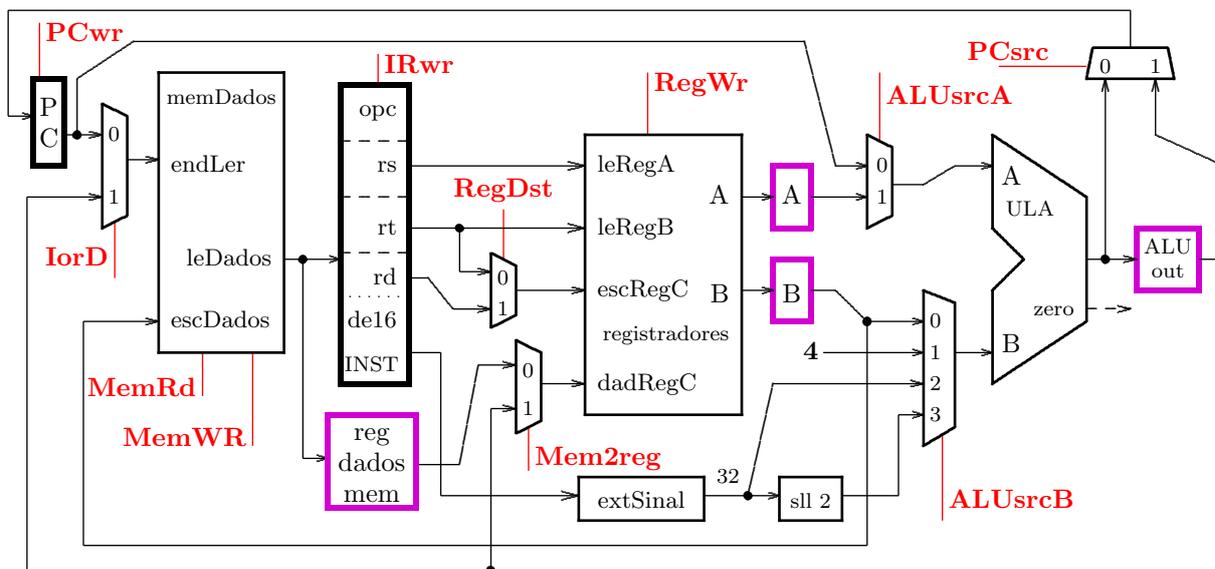
Primeira Prova

1) Suponha que um compilador de hardware ofereça a seguinte primitiva, que é um circuito combinacional: $\text{mult-por-1}(A,B,S,R,N) \equiv R \leftarrow (S ? A+B : 0\#A)$

A e B são inteiros representados em N bits, R é um inteiro representado em N+1 bits, S é um bit, e $X\#Y$ representa a concatenação de X com Y, N é o parâmetro que indica a largura do componente mult-por-1 , e $(x ? y : z)$ é a expressão de seleção da linguagem C.

- (a) Usando várias instâncias de mult-por-1 , mostre como implementar um multiplicador combinacional de 6x4 bits (seis×quatro). [4 pontos]
- (b) Supondo que o pior caso do tempo de propagação do componente mult-por-1 seja proporcional a N, qual o pior caso do tempo de propagação do seu circuito multiplicador? [2 pontos]
- (c) Usando registradores de largura apropriada, mostre como transformar o circuito do item (a) num multiplicador com pipeline. [2 pontos]
- (d) Dê uma especificação para a temporização do seu projeto no item (c) e a justifique. [4 pontos]

2) Nas respostas de provas desta disciplina ocorrem com alguma frequência instruções como $\text{lw } \$x, \$y, \$z$ com uma semântica que imagino ser $\$x \leftarrow \text{Mem}[(\$y+\$z)]$. Mostre uma possível implementação desta instrução no processador não-segmentado do diagrama abaixo (Cap 5). Sua resposta deve conter a seqüência de estados da instrução e quais sinais de controle são ativados em cada estado. Ligações adicionais devem ser indicadas claramente. [6 pontos]



3) Enquanto estudávamos processadores segmentados (Cap 6), vimos várias técnicas para aumentar o desempenho dos processadores, algumas delas listadas abaixo. Para cada um dos itens abaixo, explique clara e sucintamente como/porque este produz ganho de desempenho. [12 pts]

- (a) segmentação em cinco estágios; (b) eliminação de riscos estruturais; (c) eliminação de riscos de dados [dependências de dados]; (d) eliminação de riscos de controle [dependências de controle]; (e) super-escalaridade; (f) execução especulativa.

Segunda Prova

1) Considere o programa de multiplicação de matrizes abaixo. Suponha que as matrizes contém 1024×1024 elementos, e que cada elemento é um double (8 bytes). O programa é executado num único processador com páginas de 8 Kbytes. [10 pontos]

- (a) Descreva o comportamento do sistema de memória virtual durante a execução deste programa;
- (b) escreva uma expressão para computar o número de faltas de página, supondo que nenhuma das três matrizes está carregada em memória quando o laço externo inicia; e
- (c) sugira uma ou mais maneiras de melhorar o desempenho deste programa.

```
for (i = 0; i < 1024; i++)
  for (j = 0; j < 1024; j++)
    for (k = 0; k < 1024; k++)
      c[i][j] = c[i][j] + a[i][k] * b[k][j];
```

2) Projete e desenhe um diagrama claro e detalhado de uma memória cache com capacidade de 512 Kbytes, associatividade quaternária (*4-way set-associative*), 8 palavras por bloco e escrita preguiçosa. A cache tem uma fila de escrita com capacidade para 4 referências pendentes. O processador emite endereços de 32 bits. Indique claramente como um endereço é interpretado pelo controlador da cache. [10 pontos]

3) Esta questão de três itens vale [6 pontos].

- (a) Desenhe o diagrama de tempos e escreva a equação da latência total para transmitir uma mensagem;
- (b) explique sucintamente cada um de seus termos; e
- (c) indique quais componentes de uma rede de computadores influenciam positiva ou negativamente no desempenho global.

4) Um processador superescalar emite 4 instruções por ciclo, e tem relógio de 2 GHz (0.5ns/ciclo). Uma falta na L1 custa, no mínimo, 10 ciclos. Quais os números mínimo e máximo de instruções que poderiam ser executadas durante uma falta na L1? Justifique sua resposta. [4 pontos]

Exame Final

1) Considere a execução do trecho de programa ao lado no pipeline do diagrama. Explícite quaisquer hipóteses usadas na sua resposta. O desvio é tomado. [25 pontos]

- (a) Quantos ciclos serão necessários para executar estas instruções? Defina com cuidado o que sejam o “início” e o “final” da execução.
- (b) Desenhe um diagrama que mostra TODAS as dependências.
- (c) Indique claramente como as instruções serão executadas, mostrando eventuais bolhas e/ou adiamento.

```
add r5, r6, r7
lw r6, 100(r7)
sub r7, r6, r8
beq r7, r9, L1
addi r7, r6, 8
L1: st r7, 0(r10)
```

2) Considere a influência de duas organizações de cache no desempenho de um computador. O CPI com uma cache perfeita é 2.0, ocorrem 1.5 referências à memória por instrução. Uma cache tem mapeamento direto, e a outra associatividade binária (2 conjuntos). O ciclo de relógio do processador com a cache associativa é 1.25 ns, e o ciclo do processador com mapeamento direto é 1 ns. A penalidade por falta é 25 ns. O tempo de acerto (*hit time*) é um ciclo, a taxa de faltas da cache com mapeamento direto é 1.5%, e da cache associativa é 1.0%. (a) Calcule o tempo médio de acesso à memória para as duas caches. (b) Calcule o desempenho do processador com cada uma das duas caches. Mostre como obteve seus resultados. [25 pontos]

3) Esta questão de três itens vale [25 pontos].

- (a) Enuncie a Lei de Amdahl.
- (b) Como esta influencia no projeto de processadores com (i) ciclo longo, (ii) multiciclos, e (iii) segmentados?
- (c) Como esta influencia no projeto de sistemas de Entrada e Saída?

4) (a) Projete e desenhe um diagrama DETALHADO de uma cache de mapeamento de endereços (TLB) com 128 blocos e associatividade quaternária (*4-way set associative*). Cada bloco contém um mapeamento, o processador emite endereços de 32 bits, o endereço físico possui 38 bits, e as páginas virtuais tem 8Kbytes. (b) Indique como um endereço é interpretado pelo controlador da TLB. (c) Qual o tamanho da Tabela de Páginas em memória? [25 pontos]

