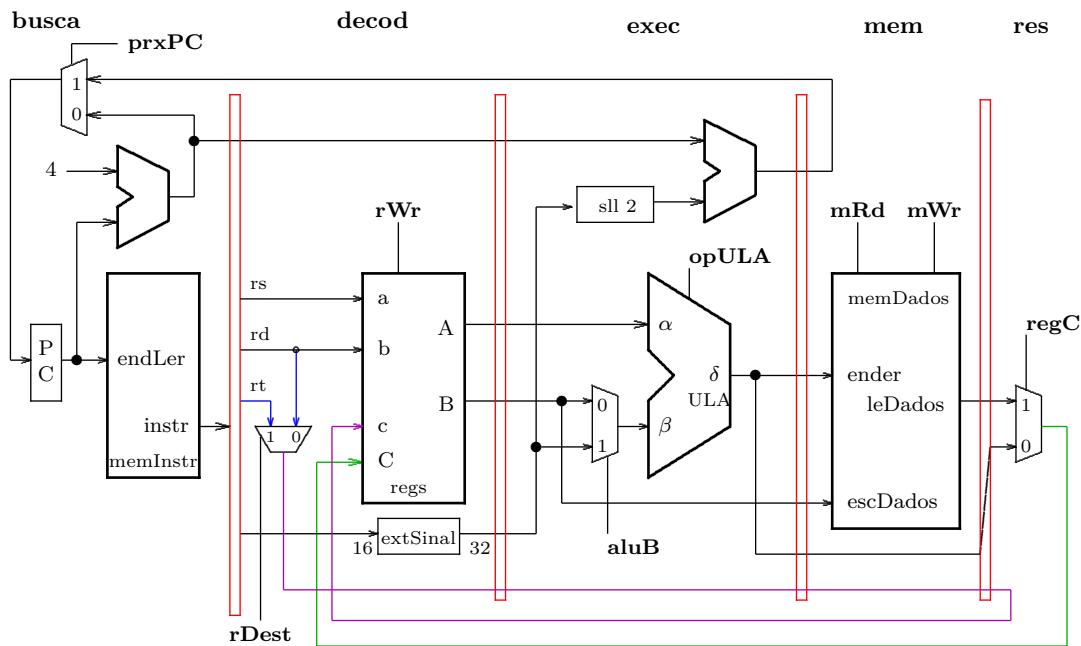


Primeira Prova

1. Esta questão tem quatro itens. Mostre como implementar a instrução listada abaixo no processador segmentado. Sua resposta deve conter: (i) uma indicação clara de quais modificações são necessárias no circuito de dados do processador; (ii) quais são os sinais de controle ativos nesta instrução; (iii) indique quais são os caminhos de adiantamento para esta instrução; (iv) explique por que é atribuído PC+8 a R[31]. [13 pontos]

BRANCH-AND-LINK bal des # R[31] ← PC+8 , PC ← (PC+4) + (ext(des) ≪ 2) (formato I)



2. Esta questão tem quatro itens. (i) Escreva uma função em C que concatena duas cadeias de caracteres, escreve a cadeia concatenada no endereço apontado pelo terceiro argumento, e retorna o número de caracteres copiados, incluindo o terminador, conforme o protótipo abaixo. (ii) Traduza sua função para o *assembly* do MIPS; (iii) escreva em *assembly* o trecho de código em que `strcat()` é invocada; e (iv) qual é o número de ciclos necessário para concatenar uma cadeia com N caracteres com uma de M caracteres? Seu código deve executar corretamente num processador com adiantamento e com *branch-delay slot*. [12 pontos]

Para facilitar a correção indique os registradores como *ri*, *rp*, *rs*, etc.

```
int strcat(char *pri, char *seg, char *dst);
```

3. Qual o comportamento (faltas/acertos) do programa, quando P é o número de palavras da cache? O tamanho do bloco é de 8 palavras. Quantas são as faltas *compulsórias* e quando ocorrem? Quantas são as faltas *por conflito* e quando ocorrem? [10 pontos]

```
#define P 1024
int X[P], Y[P];

for (i=1; i <= P; i++)
    X[P-i] = Y[i-1];
```

Segunda Prova

4. Esta questão tem dois itens: [10 pontos]
- (a) explique a razão pela qual acessos à periféricos “desviam” (não são armazenados) da cache;
 - (b) explique a razão pela qual a cache de dados (L1-D) deve ser, de alguma forma, “esvaziada” numa troca de contexto, se a L1-D é acessada com endereços virtuais.
5. Esta questão tem três itens: [10 pontos]
- (a) descreva em C a estrutura de dados que corresponde aos registradores de um controlador de acesso direto à memória (CADM) como aquele discutido em sala;
 - (b) escreva em C com comentários a rotina para programar seu controlador de forma a que ele execute a cópia de uma página do disco para o endereço 0x9000.0000;
 - (c) escreva em pseudo-C com comentários a rotina de tratamento da interrupção gerada pelo CADM quando este termina a transferência.
6. Considere um sistema de memória virtual com as seguintes características: (i) endereço virtual de 32 bits (endereço de byte); (ii) páginas com 4 Kbytes; e (iii) endereço físico com 44 bits. A tabela deve conter bits de válido, read-only, executável, modificado e usado. [10 pts]
- (a) Qual é o tamanho de uma tabela de páginas linear nesta máquina?
 - (b) mostre como implementar a Tabela de Páginas em dois níveis;
 - (c) suponha que na sua implementação do item (b), metade dos elementos da tabela de primeiro nível sejam inválidos. Quais os tamanhos máximo e mínimo do espaço de endereçamento utilizado pelo programa?

Prova Substitutiva

7. Considere o seguinte programa, ao ser executado no processador segmentado. Explícite quaisquer suposições necessárias para responder a pergunta. Considere a CPU segmentada mais simples, sem nenhuma forma de adiantamento e nem bloqueios, mas com *branch delay-slot* e *load delay-slot*. [10 pontos]

- (a) Acrescente ao código o que for necessário para garantir a execução correta deste programa. Qual o número total de ciclos necessários para armazenar a redução contida em r5?
 - (b) Otimize o código para reduzir o número de ciclos. Qual o novo número total de ciclos? Qual o ganho com relação ao item anterior?
- ```

 la r20, 0x40000000
 li r21, 800
 move r5, r0
red: lw r10, 0(r20)
 add r5, r5, r10
 addiu r20, r20, 4
 addiu r21, r21, -4
 bne r21, r0, red
 nop
 sw r5, -808(r20)

```

8. Projete e desenhe um diagrama detalhado de uma memória cache com capacidade de 96Kbytes, associatividade ternária (*3-way set associative*), 8 palavras por bloco e escrita preguiçosa. O processador emite endereços de 32 bits. Indique como um endereço é interpretado pelo controlador da cache. Indique o mecanismo de reposição de blocos num mesmo conjunto. Sua resposta deve conter todos os cálculos. [10 pontos]

9. Esta questão tem três itens: [10 pontos]

- escreva em (pseudo-)C a estrutura de dados que corresponde aos registradores de uma interface serial (UART) como aquela do trabalho;
- escreva em (pseudo-)C com comentários a rotina de tratamento da interrupção gerada pela UART quando esta recebe um novo caractere.

10. Considere um sistema de memória virtual com as seguintes características: endereço virtual de 32 bits (endereço de byte), páginas com 4 Kbytes, e endereço físico com 34 bits. A tabela de páginas deve conter bits de válido, read-only, executável, modificado e usado. [5 pontos]

- Qual é o espaço em memória física ocupado por uma tabela de páginas linear nesta máquina?
- mostre como implementar a Tabela de Páginas em dois níveis;
- suponha que na sua implementação do item (b), 1/4 dos elementos da tabela de primeiro nível sejam inválidos. Quais os tamanhos máximo e mínimo do espaço de endereçamento utilizado pelo programa?

### Exame Final

11. Traduza para *assembly* do MIPS o trecho de código C. O operador % é o módulo da divisão inteira. Seu código deve atender às convenções do *assembly* do MIPS e executar corretamente num processador com *adiantamento*, com *branch-delay slot* e com *load-delay slot*.

Use uma folha inteira para escrever seu programa em *assembly*.

[40 pontos]

```
int v;
int X[1024], Y[1024];
int reduz(int *, int, int *, int);
...
int reduz(int *v, int vSz, int *w, int wSz) {
 int i=1; int a=0;
 while (i < vSz) {
 a = a + v[i] + w[(v[i] % wSz)]; // MOD
 i = i*2;
 }
 return a;
}
...
v = reduz(X, 1024, Y, 256);
...
```

12. Projete uma TLB com 48 elementos, associatividade ternária, uma tradução por bloco, endereços virtuais de 32 bits, endereços físicos de 34 bits, páginas de 4 Kbytes, bits de status apropriados, reposição aleatória. Justifique quaisquer parâmetros de projeto adicionais, necessários ao seu projeto, mostre todas as contas, e desenhe um diagrama detalhado do seu projeto. [30 pontos]

13. Considere um circuito de memória estática com as seguintes características:

a memória tem 1024 linhas de 64 bytes (palavras de 4 bytes); um ciclo de leitura demora 20ns, um ciclo de escrita 25ns mais 5ns para a estabilização do barramento, se a próxima operação não for uma escrita. Calcule:

- a latência mínima para uma referência;
- a vazão máxima;
- a vazão sustentada para uma sequência de referências com 75% de leituras e 25% de escritas;
- explique por que “vazão  $\neq$  1/latência”.

Explícite quaisquer suposições necessárias para responder à pergunta.

[30 pontos]