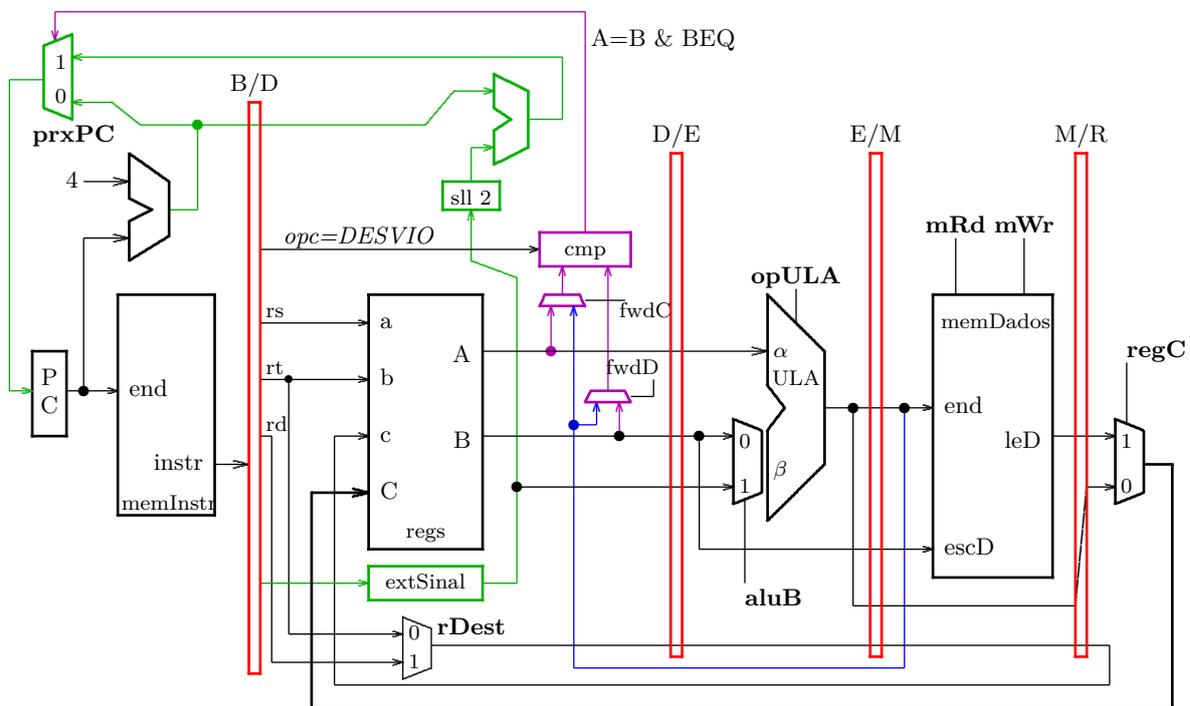


Primeira Prova

1. Esta questão tem dois itens. Para a sequência de instruções mostrada abaixo: (a) indique qual o problema que pode ocorrer durante a execução das instruções (qual a dependência); e (b) projete o mecanismo necessário para resolver o problema. Por ‘resolver’ entenda-se que os programas com esta sequência serão executados pelo processador segundo o modelo de execução que facilita a vida do programador. [10 pontos]

```
add r4 , r6 , r7
jr  r4
```



2. Esta questão tem três itens. (i) Escreva uma função em C que concatena duas cadeias de caracteres, escreve a cadeia concatenada no endereço apontado pelo terceiro argumento, e retorna o número de caracteres copiados, incluindo o terminador, conforme o protótipo abaixo. (ii) Traduza sua função para o *assembly* do MIPS; (iii) escreva em *assembly* o trecho de código em que `strcat()` é invocada. Seu código deve executar corretamente num processador com adiantamento e com *branch-delay slot*. [12 pontos]

Para facilitar a correção indique os registradores como `ri`, `rp`, `rs`, etc.

```
int strcat(char *pri, char *seg, char *dst);
```

3. Qual o comportamento (faltas/acertos) do programa, quando P é o número de palavras da cache? O tamanho do bloco é de 8 palavras. Quantas são as faltas *compulsórias* e quando ocorrem? Quantas são as faltas *por conflito* e quando ocorrem? [10 pontos]

```
#define P 1024
int X[P], Y[P];

for (i=1; i <= P; i++)
    X[P-i] = Y[i-1];
```

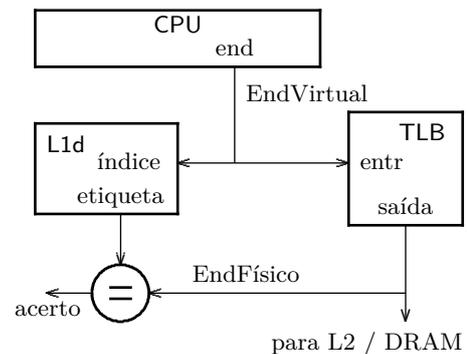
Segunda Prova

4. Projete uma TLB com 32 elementos, associatividade quaternária, duas traduções por bloco (um elemento da tabela mantém traduções para duas páginas virtuais contíguas), endereços virtuais de 32 bits, endereços físicos de 34 bits, páginas de 4 Kbytes, bits de proteção e status apropriados, reposição aleatória. Justifique quaisquer parâmetros de projeto adicionais, necessários ao seu projeto, mostre todas as contas, e desenhe um diagrama detalhado do seu projeto. [10 pontos]

5. Esta questão tem dois itens. A figura ao lado mostra o circuito de endereços de um sistema com memória virtual com cache primária de dados, cache secundária e memória dinâmica (DRAM).

(a) Descreva a operação do primeiro nível da hierarquia de memória, usando como exemplo um `load` e um `store`; [5 pontos]

(b) justifique cuidadosamente este projeto do ponto de vista do projeto do Sistema Operacional. [5 pts]



6. Você foi encarregado de projetar o subsistema de comunicação para uma aplicação embarcada que efetua cálculos complexos e que deve produzir resultados com um mínimo de atraso (*soft real-time*). A frequência do relógio de recepção é 10.000 vezes menor do que a frequência do relógio do processador, as mensagens recebidas tem sempre 512 bytes, e são recebidas byte a byte por uma interface de caractere (similar a uma UART). Sua tarefa é garantir que as mensagens sejam depositadas num armazenador em memória e a recepção de mensagens deve interferir o mínimo possível com a computação efetuada pelo processador.

Sua resposta deve conter um diagrama de blocos do seu projeto, uma breve descrição textual do seu funcionamento e um trecho de pseudo-C indicando as interações do processador com a interface de comunicação. [10 pontos]

Exame final

7. Faça um diagrama *detalhado* de uma cache de mapeamento de endereços (TLB) com 32 blocos e associatividade quaternária. Cada bloco contém um mapeamento. Processador emite endereços de 32 bits. O endereço físico possui 34 bits. Indique como um endereço é interpretado pelo controlador da TLB. Páginas virtuais tem 4 Kbytes. Qual o tamanho de uma Tabela de Páginas Linear para este sistema? [25 pontos]

8. Traduza para *assembly* do MIPS o trecho de programa abaixo. Seu código *assembly* deve empregar as convenções de programação do MIPS. [25 pontos]

Para facilitar a correção indique os registradores como ri, rn, etc.

Use uma folha inteira para escrever cada programa em assembly.

```
int fun(int a, int b, int c, int d, int e, int f, int g);  
...  
x = fun(16*a, (int)z*w, i=p^q, z=v[3], v[3*i], z=z-2, v[z+2]);  
...
```

9. Enumere e descreva quatro causas de exceções no processador segmentado.

(a) Desenhe um diagrama simplificado do processador e mostre o(s) estágio(s) em que as exceções enumeradas ocorrem, e indique em que estágio(s) é(são) tratada(s);

(b) liste a sequência de eventos associados ao tratamento de uma das exceções do item anterior, considerando todos os efeitos no processador. [25 pontos]

10. Considere um sistema embarcado cuja hierarquia de memória contenha somente um nível de cache, com tempo de acesso à memória DRAM de 50ns. Qual é o limite da frequência do relógio do processador para que o desempenho seja o melhor possível com uma cache com escrita forçada? Justifique sua resposta, apresente os cálculos e explicitamente quaisquer suposições empregadas na sua resposta. [25 pontos]