

**Entrega em 17nov.** A lista pode ser respondida a lápis, desde que com grafite B ou 2B, e deve ser respondida individualmente.

**Ex. 1** Considere um sistema de E/S que usa entrada e saída por programa para transferir dados da memória para um periférico. Supondo que o programa abaixo é empregado, calcule a taxa máxima de transferência possível, para transferências de 4096 bytes. O tempo de acesso à memória é de 20 ciclos, e um acesso ao barramento de E/S custa 50 ciclos. O processador possui circuito de adiamento e a previsão de desvios é perfeita. O relógio é de 1GHz (1ns), e o barramento tem largura de uma palavra.

```
    la    r10, 0x10000000 # endereço do buffer em memória
    la    r20, 0xFFFF0000 # endereço do periférico
    movi  r2, 1024        # tamanho do bloco (palavras)

loop: lw    r1, 0(r10)
      addi  r2, r2, -1    # contador do laço
      addi  r10, r10, 4   # apontador fonte
      beq  r2, r0, loop
      sw   r1, 0(r20)    # apontador destino, SW no branch delay-slot
```

**Ex. 2** Com os dados da pergunta anterior, considere transferências por acesso direto à memória (ADM). Transferências por ADM desviam da cache, assim como os acessos ao próprio controlador de ADM. Qual a taxa máxima de transferência possível para blocos de 4096 bytes? O código de inicialização do controlador de ADM é mostrado abaixo. O atendimento a interrupção custa 300 ciclos. A escrita no registrador TAM (tamanho) inicia as transferências por ADM.

```
    la    r10, 0x10000000 # endereço do buffer
    la    r20, 0xFFFF0000 # endereço do periférico
    li    r2, 1024        # tamanho do bloco (palavras)
    la    r9, 0xFFFF0080 # endereço do controlador de ADM
    sw   r10, FONTE(r9)   # registrador no cADM que aponta fonte
    sw   r20, DEST(r9)    # registrador no cADM que aponta destino
    sw   r2, TAM(r9)      # tamanho; escrita dispara a transferência
    # cADM interrompe ao completar
```

**Ex. 3** Compare os dois métodos acima e discuta as diferenças entre eles.

**Ex. 4** Considere um sistema de memória com um barramento com relógio de 500MHz (2ns). O sistema de memória transfere blocos de 16 palavras, 2 palavras por ciclo de transferência. A cache emprega escrita preguiçosa. A sequência de eventos na leitura é

1. 1 ciclo para enviar o endereço para a memória;
2. 25 ciclos de latência da DRAM;
3. 8 ciclos para transferir 16 palavras.

Na escrita, a sequência de eventos é:

1. 1 ciclo para enviar o endereço para a memória;
2. 8 ciclos para transmitir 16 palavras;
3. 1 ciclo de recuperação.

Calcule as latências de escrita e de leitura, e a taxa máxima de transferência (*bandwidth*) em MBytes/segundo para um padrão de acessos com 30% de escritas e 70% de leituras.

**Ex. 5** Considere um barramento com as seguintes características:

- (a) barramento e memória suportam transferências em blocos de 4 ou 16 palavras de 32 bits;
  - (b) o barramento é síncrono, com 32 bits de largura e com relógio de 500MHz (2ns). Cada transferência de 32 bits demora um ciclo, mais um ciclo adicional para transferir o endereço;
  - (c) são necessários dois ciclos entre cada transação para a arbitragem do barramento;
  - (d) o tempo de acesso à memória para a primeira palavra é de 200ns; cada palavra adicional pode ser acessada em 20ns;
  - (e) o barramento pode sobrepor a transferência das palavras lidas mais recentemente com o acesso à RAM para a leitura das próximas palavras.
- (i) Calcule a vazão sustentada e a latência para a leitura de 256 palavras, em transferências que usam blocos de 4 palavras, e para transferências de blocos de 16 palavras.
- (ii) Calcule também o número efetivo (sustentado) de transações por segundo em cada um dos dois casos acima. Uma *transação de barramento* consiste da requisição ao árbitro, emissão de um endereço, seguida da transmissão dos dados requisitados, quando aqueles estão disponíveis.