

Entrega em 01nov. A lista pode ser respondida a lápis, desde que com grafite B ou 2B, e deve ser respondida individualmente.

Ex. 1 Um sistema de memória virtual pode ser encarado como uma “cache”.

(i) qual parte corresponde a um bloco da cache (ou uma linha)? (ii) qual é sua associatividade? (iii) qual é sua estratégia de escrita? (iv) qual circuito é usado para acelerar a tradução de endereços virtuais para físicos? Responda com, no máximo, duas frases por item.

Ex. 2 Qual a(s) diferença(s) entre “falta na TLB” e “falta de página”? Quais os custos relativos (em ciclos) do tratamento de uma e da outra?

Ex. 3 Considere que esta seqüência de números de páginas virtuais ocorre durante a execução de um programa: 3 4 2 6 4 7 1 3 2 6 3 5 1 2 3. A política de substituição de páginas é LRU. Calcule a taxa de acerto em páginas – número de acertos dividido pelo número de referências em cada página – para uma memória física com 4 pgs físicas. [Sta06]-ex7.8

Ex. 4 Faça um diagrama *detalhado* de uma cache de mapeamento de endereços (TLB) com 32 blocos e associatividade quaternária. Cada bloco contém dois mapeamentos. Processador emite endereços de 32 bits. O endereço físico possui 36 bits. Indique como um endereço é interpretado pelo controlador da TLB. Páginas virtuais tem 4 Kbytes. Qual o tamanho da Tabela de Páginas em memória?

Ex. 5 Mostre como organizar a Tabela de Páginas do exercício anterior em dois níveis. Suponha que 3/4 dos elementos da tabela de primeiro nível sejam nulos. Quais os tamanhos máximo e mínimo do espaço de endereçamento mapeado para o programa desta TP?

Ex. 6 Considere um processador com endereços virtuais de 32 bits, páginas de 4 Kbytes, e endereços físicos de 36 bits. A memória é endereçada byte-a-byte. Cache L1-I: 64Kbytes, blocos de 128 bytes, assoc 4-ária, índices etiquetas com endereços virtuais; Cache L1-D: 32Kbytes, blocos de 64 bytes, assoc 2-ária, índices e etiquetas com ender físicos, escrita preguiçosa (wr-back); TLB: 128 elementos, assoc 4-ária, bits de status ‘válido’, ‘modificado’ e ‘referência’. Especifique o número de bits de deslocamento, índice, etiqueta de cada uma das três estruturas, e compute o número total de bits para as matrizes de dados e de etiquetas/status. [SL05]-ex3.13

Ex. 7 Considerando a organização do problema anterior, explique porque os acessos à cache L1-D são mais demorados do que os acessos à L1-I. Projete uma cache com menor latência e mesma capacidade, e descreva as modificações necessárias para obter a menor latência. [SL05]-ex3.14

Ex. 8 Escreva, em pseudocódigo, uma função com o protótipo abaixo que percorre uma tabela de páginas de três níveis e retorna **1** se a página está em memória, ou **0** numa falta. O endereço físico é atribuído à `*enderfis` num acerto. Explícite quaisquer suposições que forem necessárias. `int buscatp(void *basetp, void* endervirt, void** enderfis);` [SL05]-ex3.32

Referências

- [SL05] John Paul Shen and Mikko H Lipasti, *Modern Processor Design: Fundamentals of Superscalar Processors*, McGraw-Hill, 2005, ISBN 0070570647.
- [Sta06] William Stallings, *Computer Organization and Architecture: Designing for Performance*, Prentice-Hall, 7th Ed, 2006, ISBN 0131856448.