

**Aluno de Iniciação Científica:** Lucas Manika Koeb (PET - SESu)

**Nº de Registro do Projeto de Pesquisa no BANPESQ/THALES:** 2009000001

**Orientador:** Roberto Hexsel

**Co-Orientador:** Luis Allan Künzle

**Colaboradores:** Giuliano Teodoro Bertoncello, Cristian da Costa Rocha

**Departamento:** Informática **Setor:** Ciências Exatas

**Palavras-chave:** *processador, MIPS32, VHDL.*

**Área de Conhecimento:** 10304029

Uma das maneiras de sistematizar os conhecimentos obtidos na disciplina de Arquitetura de Computadores é empregá-los diretamente no projeto de um processador. A partir de uma implementação simples de um processador MIPS segmentado de 5 estágios (Figura 1) descrita em VHDL, e disponível como hardware livre (MiniMIPS), propomos extensões e melhorias ao projeto tornando-o adequado à utilização em projetos maiores. Começamos por estender o conjunto de instruções para possibilitar o tratamento de acessos à memória referenciando bytes e meias palavras, instruções geradas pelos compiladores para manipulação de caracteres, instruções estas que não

constavam na implementação inicialmente utilizada. O processador possui uma unidade de predição dinâmica de desvios, que é responsável por diminuir a penalidade de cada instrução de desvio condicional. Esta unidade apresentou um comportamento inesperado em alguns testes (em alguns laços, a execução era interrompida antes do número de iterações esperado), e a instrução do *branch delay slot* não era executada, o que está em desacordo com a especificação do conjunto de instruções MIPS32. Após as modificações realizadas no projeto, os testes não apresentaram erros nas instruções adicionadas. Pretendemos carregar o processador em um FPGA e testá-lo com alguns *benchmarks* para então realizar otimizações de desempenho e futuramente empregar nosso trabalho no projeto de um multiprocessador que foi desenvolvido em trabalho de Mestrado no PPGInf.

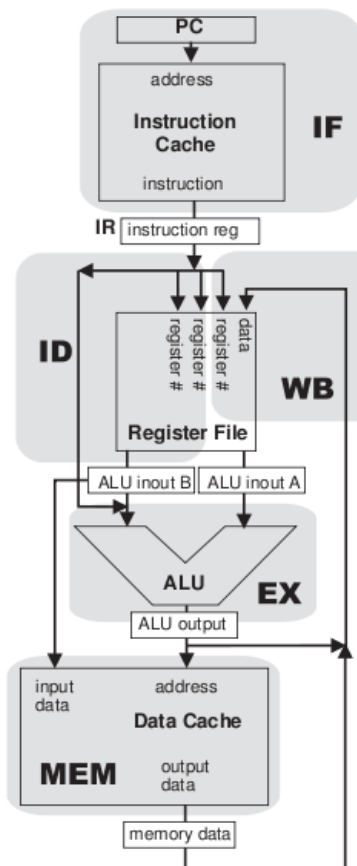


Figura 1: Estágios do pipeline do MiniMIPS.