



Ficha 2 (variável)

Documento elaborado com base nas Res. 22/2021 34/2021 e 52/2021 – CEPE, considerando o contexto das medidas de enfrentamento da pandemia de Covid-19 no País, que permitem, com aprovação dos colegiados do curso, modalidade 100% remota de ensino.

Disciplina: Projetos Digitais e Microprocessadores						Código: CI1210	
Natureza: (X) Obrigatória () Optativa		(X) Semestral () Anual () Modular					
Pré-requisito: CI1068		Co-requisito:		Modalidade: () Presencial (X) Totalmente EaD () ____ *C.H.EaD			
CH Total: 60 CH semanal: 6		Padrão (PD): 60	Laboratório (LB): 00	Campo (CP): 00	Estágio (ES): 00	Orientada (OR): 00	Prática Específica (PE): 00
Estágio de Formação Pedagógica (EFP):		Extensão (EXT): 00	Prática como Componente Curricular (PCC): 00				
Indicar a carga horária semestral (em PD-LB-CP-ES-OR-PE-EFP-EXT-PCC) *Indicar a carga horária que será à distância.							
EMENTA (Unidade Didática)							
Introdução aos circuitos CMOS, memória RAM e ROM, temporização de circuitos combinacionais, temporização de circuitos sequenciais, máquinas de estados complexas, assembly do MIPS, implementação da versão de ciclo longo do MIPS. Gasto energético e meio ambiente.							
PROGRAMA (itens de cada unidade didática)							
Abstração de sinais elétricos como bits. Implementação em CMOS. Projeto de memórias ROM e RAM em CMOS. Propagação de sinais e comportamento analógico (atrasos). Implementação de somadores e multiplicadores combinacionais. Basculos (latches), flip-flops e registradores, registradores de deslocamento. Propagação de sinais, operação apropriada, abstração de tempo discreto. Frequência do relógio, energia e potência. Máquinas de estado (registrador de estado e memória ROM, um flip-flop por estado). Exemplos de circuitos complexos, com circuito de controle e circuito de dados (datapath). Modelagem em VHDL. Linguagem de montagem (assembly) do MIPS, com ênfase na equivalência entre construções de linguagem imperativa e em assembly. Processador MIPS: circuito de dados (ALU e memória), circuito de controle (busca e desvios). Sistemas de memória.							
OBJETIVO GERAL							
Capacitar o aluno a analisar, conceber, projetar e implementar Sistemas Digitais de média complexidade (processador RISC de 32 bits).							
OBJETIVO ESPECÍFICO							
Estudar os conceitos de circuitos combinacionais e sequenciais, e sua implementação em tecnologia CMOS. Estudar a organização de memórias ROM e RAM em tecnologia CMOS. Estudar o comportamento analógico de circuitos CMOS, sua temporização e dispêndio de energia. Estudar técnicas de modelagem, simulação, projeto e síntese de sistemas digitais com VHDL. Estudar a linguagem de montagem de um processador RISC de 32 bits, com ênfase na equivalência entre construções de linguagem imperativa (C ou Pascal) e em assembly. Estudar o projeto de um processador de 32 bits, seus circuitos de dados e de controle. Estudar um sistema de memória simples para o processador.							



PROCEDIMENTOS DIDÁTICOS

O curso mesclará os seguintes procedimentos didáticos:

- Aulas assíncronas, por meio de textos, apresentações ou vídeos gravados pelo professor e disponibilizados em plataforma a definir (moodle, página pessoal do docente, Big Blue Button, Jitsi ou outro meio).
- Projetos e atividades relativos ao conteúdo apresentado.
- Atendimento individualizado aos alunos sob demanda, por meio de e-mail e reuniões online.
- Controle de frequência pelas atividades síncronas e entrega dos projetos e atividades propostas.

O material didático da disciplina estará inteiramente disponível a partir da página pessoal do docente, moodle ou outro meio.

FORMAS DE AVALIAÇÃO

O desempenho dos alunos na disciplina será avaliado da seguinte forma:

- Trabalhos e exercícios individuais desenvolvidos ao longo da disciplina.
- Uma prova.
- Exame final, cobrindo todo o conteúdo (teoria, projetos e atividades).
- Projetos, atividades e provas entregues fora dos seus respectivos prazos serão desconsiderados.
- Atividades plagiadas/copiadas receberão nota zero para todos os envolvidos.

Critérios de aprovação:

- Nota final ≥ 70 : aprovação.
- Nota final < 40 : reprovação.
- Nota final ≥ 40 e < 70 : exame final, que deve ter nota ≥ 50

BIBLIOGRAFIA BÁSICA (mínimo 03 títulos)

- [1] Roberto A Hexsel. Sistemas Digitais e Microprocessadores. ISBN 978-8573353068. Editora da UFPR, 2012.
- [2] Randy H Katz e Gaetano Borriello. Contemporary Logic Design. ISBN 978-0201308570. Prentice Hall, 2004.
- [3] David A Patterson e John L Hennessy. Computer Organization & Design: The Hardware/Software Interface. 5a Ed. ISBN 9780124077263. Morgan Kaufmann, 2014.

BIBLIOGRAFIA COMPLEMENTAR (mínimo 05 títulos)

- [4] Peter J Ashenden. The Designer's Guide to VHDL. 3a Ed. ISBN 978-0-12-088785-9. Morgan Kaufmann, 2008.
- [5] M Morris Mano e Charles R Kime. Logic and Computer Design Fundamentals. 2a Ed. ISBN 0130124680. Prentice Hall, 2000.
- [6] David Pellerin e Douglas Taylor. VHDL Made Easy! ISBN 0136507638. Prentice Hall, 1996.
- [7] R J Tocci e N S Wiedmer. Sistemas Digitais. ISBN 8587918206. Pearson, 2003.
- [8] Neil Weste e David Harris. CMOS VLSI Design: A Circuits and Systems Perspective. 4a Ed. ISBN 0321547748. Addison-Wesley, 2010.

Professor da Disciplina: Daniel Alfonso Gonçalves de Oliveira

Assinatura: _____

Chefe de Departamento ou Unidade equivalente: Fabiano Silva

Assinatura: _____

Cronograma CI1210

Dia	Mês	Ref	CH	Conteúdo	Modalidade
19	9	DOM			
20	9	SEG			
21	9	TER	2	Apresentação da disciplina	Aula Assíncrona
22	9	QUA			
23	9	QUI	2	Implementação em CMOS, transistores e portas lógicas	Aula Assíncrona
24	9	SEX	2	Exercícios	Estudo Dirigido
25	9	SAB			
26	9	DOM			
27	9	SEG			
28	9	TER	2	Implementação em CMOS, circuitos combinacionais	Aula Assíncrona
29	9	QUA			
30	9	QUI	2	Atrasos, tempo de propagação e contaminação	Aula Assíncrona
1	10	SEX	2	Exercícios	Estudo Dirigido
2	10	SAB			
3	10	DOM			
4	10	SEG			
5	10	TER	2	Circuitos de memórias RAM	Aula Assíncrona
6	10	QUA			
7	10	QUI	2	ULA, somador e subtrator com e sem propagação	Aula Assíncrona
8	10	SEX	2	Exercícios	Estudo Dirigido
9	10	SAB			
10	10	DOM			
11	10	SEG			
12	10	TER		Nossa Senhora de Aparecida	
13	10	QUA	2	Exercícios	Estudo Dirigido
14	10	QUI	2	Multiplicador combinacional	Aula Assíncrona
15	10	SEX		Dia do Professor	
16	10	SAB			
17	10	DOM			
18	10	SEG			
19	10	TER	2	Circuitos sequenciais, Latches e Flip-Flops com atrasos	Aula Assíncrona
20	10	QUA	2	Exercícios	Estudo Dirigido
21	10	QUI	2	Registradores e contadores	Aula Assíncrona
22	10	SEX	2	Exercícios	Estudo Dirigido
23	10	SAB			
24	10	DOM			
25	10	SEG			
26	10	TER	2	Máquinas de estados finitos Moore e Mealy	Aula Assíncrona
27	10	QUA			
28	10	QUI		Dia do Servidor Público	
29	10	SEX	2	Exercícios	Estudo Dirigido
30	10	SAB			
31	10	DOM			
1	11	SEG			
2	11	TER		Finados	
3	11	QUA			
4	11	QUI	2	Setup e hold time (clock skew setup)	Aula Assíncrona
5	11	SEX	2	Exercícios	Estudo Dirigido
6	11	SAB			
7	11	DOM			
8	11	SEG			
9	11	TER	2	Exemplos de circuitos complexos	Aula Assíncrona
10	11	QUA	2	Exercícios	Estudo Dirigido
11	11	QUI	2	MIPS: Conjunto de instruções, instruções ULA e Memória	Aula Assíncrona
12	11	SEX	2	Exercícios	Estudo Dirigido
13	11	SAB			



14	11	DOM			
15	11	SEG		Proclamação da República	
16	11	TER	2	MIPS: Instruções de controle de fluxo, iteração	Aula Assíncrona
17	11	QUA	2	Exercícios	Estudo Dirigido
18	11	QUI	2	MIPS: Suporte a funções, registros de ativação, recursão	Aula Assíncrona
19	11	SEX	2	Exercícios	Estudo Dirigido
20	11	SAB		Dia da Consciência Negra	
21	11	DOM			
22	11	SEG			
23	11	TER	2	MIPS: Tipos de instruções (R, I, J) e operações ADD, ORI, LW, SW, BEQ, J	Aula Assíncrona
24	11	QUA	2	Exercícios	Estudo Dirigido
25	11	QUI	2	MIPS: Circuito de dados, exercícios	Aula Assíncrona
26	11	SEX	2	Exercícios	Estudo Dirigido
27	11	SAB			
28	11	DOM			
29	11	SEG			
30	11	TER	2	MIPS: Temporização e atrasos	Aula Assíncrona
1	12	QUA	2	Exercícios	Estudo Dirigido
2	12	QUI	2	Sistemas de memória	Aula Assíncrona
3	12	SEX	2	Exercícios	Estudo Dirigido
4	12	SAB			
5	12	DOM			
6	12	SEG			
7	12	TER	2	Prova	
8	12	QUA			
9	12	QUI			
10	12	SEX			
11	12	SAB			
12	12	DOM			
13	12	SEG			
14	12	TER		Exame Final	
15	12	QUA			
16	12	QUI			
17	12	SEX			
18	12	SAB			
19	12	DOM			

CH 60 Atenção: Esse cronograma pode mudar. Todas as datas das avaliações e trabalhos serão confirmadas durante as aulas online e/ou informadas pelo site da disciplina.

Contato: dagoliveira@inf.ufpr.br

Sala virtual: informações em www.inf.ufpr.br/dagoliveira/ensino/ci1210/