



## Ficha 2 (variável)

Documento elaborado com base nas Res. 22/2021, 34/2021 e 52/2021 – CEPE, considerando o contexto das medidas de enfrentamento da pandemia de Covid-19 no País, que permitem, com aprovação dos colegiados do curso, modalidade 100% remota de ensino.

Disciplina: Arquitetura de Computadores							Código: CI1212	
Natureza: ( x ) Obrigatória ( ) Optativa	( x ) Semestral ( ) Anual ( ) Modular							
Pré-requisito: CI1210	Co-requisito:	Modalidade: ( ) Presencial ( ) Totalmente EaD ( ) ____ *C.H.EaD						
CH Total: 60 CH semanal: 5	Padrão (PD): 60	Laboratório (LB): 00	Campo (CP): 00	Estágio (ES): 00	Orientada (OR): 00	Prática Específica (PE): 00		
Estágio de Formação Pedagógica (EFP):	Extensão (EXT): 00	Prática como Componente Curricular (PCC): 00						
<b>Indicar a carga horária semestral (em PD-LB-CP-ES-OR-PE-EFP-EXT-PCC)</b> <b>*Indicar a carga horária que será à distância.</b>								
<b>EMENTA (Unidade Didática)</b>								
Aritmética de inteiros e ponto flutuante, avaliação de desempenho, processador pipeline, sistemas de memória, memória cache, memória virtual, arquiteturas de alto desempenho. Gasto energético e meio ambiente.								
<b>PROGRAMA (itens de cada unidade didática)</b>								
Ambientação ao AVA (Ambiente Virtual de Aprendizagem) Apresentação, introdução, representação binária Sistemas digitais, sistemas digitais programáveis, processadores Aritmética de inteiros com e sem sinal, ponto flutuante MIPS monociclo MIPS multiciclo Avaliação de desempenho, pipeline MIPS pipeline: hazards de dados e de controle MIPS pipeline: exceções MIPS pipeline: desempenho Pipeline superescalar e outros avançados Sistemas de entrada/saída, interrupções Barramentos Memórias Arquiteturas PC Memória cache, organização e desempenho Memória virtual, organização e desempenho								
<b>OBJETIVO GERAL</b>								
Capacitar a(o) aluna(o) a analisar, conceber, projetar e implementar a nível lógico Sistemas Digitais de média complexidade, envolvendo conceitos avançados (Processadores com pipeline, memórias cache e virtual) que permitem obtenção de maior desempenho de sistemas computacionais, dentro de soluções de compromisso entre características e recursos utilizados.								
<b>OBJETIVO ESPECÍFICO</b>								
Dominar conceitos de aritmética de inteiros e ponto flutuante com sua implementação em hardware, avaliação de desempenho de sistemas, métricas, benchmarks, projeto de processador pipeline, incluindo gestão de conflitos na execução de partes de instruções em paralelo e unidade de controle, projeto e avaliação de sistemas de memória cache e virtual; entender reflexo das decisões de implementação da arquitetura no software e vice-versa; compreender sistemas de interrupção e entrada e saída.								

### PROCEDIMENTOS DIDÁTICOS

A disciplina é ofertada de forma totalmente remota. Os procedimentos didáticos são adequados à esta forma de ensino, conforme descrição a seguir.

- a) Sistema de comunicação: sistema Moodle UFPR Virtual, com suporte adicional das plataformas Discord, Google Meet, C3SL, BBB e/ou Microsoft Teams para encontros virtuais síncronos com a turma e para suporte aos alunos em atividades assíncronas. Em caso de inviabilidade imprevista no uso do UFPR Virtual para as funcionalidades de sequenciamento de atividades, de forma alternativa a distribuição, indicação de material didático e tarefas, interação entre estudantes e entregas de atividades e avaliações serão supridas por meio da página web do professor, documentos em nuvem e e-mail.
- b) Modelo de tutoria à distância e presencial: toda tutoria realizada pelo professor de forma remota, utilizando os recursos de comunicação especificados.
- c) Material didático específico: apostilas e apresentações de professores e livros gratuitos disponíveis na internet de forma a suprir dificuldade de acesso aos livros da bibliografia básica. Ver bibliografia suplementar. Em caráter opcional podem ser sugeridas leituras e vídeos em inglês e espanhol.
- d) previsão de período de ambientação dos recursos tecnológicos a serem utilizados: primeira unidade é destinada à ambientação.
- e) identificação do controle de frequência das atividades: por entrega de tarefas das atividades.

### FORMAS DE AVALIAÇÃO

Serão realizadas ao todo 30 atividades, correspondendo a 2 horas cada, conforme cronograma anexo. São previstas entregas de tarefas referentes a atividades, uma prova e um trabalho final. Conforme a res. CEPE 22/21, Art. 12º, as entregas das atividades são associadas à frequência. Atividades qualificadas, além de frequência, contribuem para a nota. Estão previstas atividades síncronas, uma por semana, dentro do horário alocado para a disciplina/turma. Aprovação mínima com nota 70, sem realização de exame final, e nota mínima 50 para os que realizarem exame final. Para a realização de exame final é necessária média igual ou superior a 40. Conforme res. CEPE 22/21, Art. 13º, para as avaliações, exame final, segunda chamada e trabalho final pode ser exigido que estudantes liguem câmera e microfone, comunicando-se com o professor por imagem e áudio.

A carga horária média semanal de atividades previstas é de 5 horas em 12 semanas, embora o(a) estudante tem alguma liberdade para alocar seu esforço ao longo do semestre. Durante a SIEPE não haverá deadlines de entrega de atividades.

TA = trabalho referente a atividade qualificada, 2 pts cada  
P1 = prova 1, 20 pts  
TF = trabalho final, 30 pts  
M = média

$M = (TA1 + \dots + TA25) + P1 + TF$

### BIBLIOGRAFIA BÁSICA (mínimo 03 títulos)

Hennessy, J.L. e Patterson, D.A. (2017). Organização e Projeto de Computadores. - A interface hardware/software. 5ª ed., Campus Elsevier - LTC. ISBN 9780124077263 (original), 9788535287936 (impresso), 9788535287943 (digital), ou edições anteriores. Disponível em <https://integrada.minhabiblioteca.com.br/#/books/9788595152908>

David A. Patterson e John L. Hennessy (2019). Arquitetura de computadores: uma abordagem quantitativa. 6ª ed., Campus Elsevier - LTC. ISBN 9780128119051 (original), 9788535291742 (impresso), 9788535291759 (digital), ou edições anteriores. Disponível em <https://integrada.minhabiblioteca.com.br/books/9788595150669>

Hwang, E.O. Digital Logic and Microprocessor Design with VHDL. Thomson, 2006. ISBN 978053446593  
(<http://faculty.laserra.edu/~ehwang/digitaldesign/>)

### BIBLIOGRAFIA COMPLEMENTAR (mínimo 05 títulos)

Foram adicionados títulos disponíveis de forma gratuita a fim de cobrir falta de acesso físico à biblioteca. Ao longo das atividades também serão fornecidos materiais suplementares. Também está considerado o uso da "Minha Biblioteca", assinada pela UFPR.



- Mohammed Ferdjallah. Introduction to Digital Systems : Modeling, Synthesis, and Simulation Using VHDL. Wiley, 2011. ISBN: 9780470900550.
- Pedroni, Volnei A. Eletrônica Digital Moderna e VHDL. Campus Elsevier, 2010. ISBN 9788535234657
- Peter J. Ashenden. Digital Design (VHDL) : An Embedded Systems Approach Using VHDL. Morgan Kaufmann, 2008. ISBN: 9780123695284.
- David Money Harris e Sarah L. Harris. Digital Design and Computer Architecture. Morgan Kaufmann, 2007. ISBN: 9780123704979.
- William Stallings. Arquitetura e organização de computadores. São Paulo: Pearson, 2010. ISBN: 9788576055648.
- Patterson, D.A. and Hennessy, J.L. Computer organization and design: the hardware software interface - ARM(r) edition. Morgan Kaufman, 2017. ISBN 9780128017333
- Patterson, D.A. and Hennessy, J.L. Computer organization and design: the hardware software interface - RISC-V edition. Morgan Kaufman - Elsevier, 2018. ISBN 9780128122754
- Bryant, R.E. and O'Hallaron, D.R., Computer Systems: A Programmer's Perspective, Pearson, 2015. ISBN 978-0136108047
- Ashenden, P. The Designer's Guide to VHDL, Third Edition. Morgan Kaufmann, 2008. ISBN 978-0120887859
- Hexsel, R. Software Básico, Departamento de Informática, UFPR, 2017 (<http://www.inf.ufpr.br/todt/ci1212/swbas.pdf>)
- Saito, José Hiroki. Introdução à arquitetura e à organização de computadores: Síntese do processador MIPS. Coleção UAB-UFSCar, 2017. ISBN 978-85-7600-207-9 (<http://hdl.handle.net/123456789/2665>)
- Kann, Charles W. Introduction To MIPS Assembly Language Programming. Gettysburg College Open Educational Resources, 2015. (<https://cupola.gettysburg.edu/oer/2>)
- Weingaertner, Daniel. Números Reais. Apostila disciplina CI164 – UFPR, 2019. (<http://www.inf.ufpr.br/todt/ci1212/ci164-01-NumerosReais.pdf>)
- Hexsel, R. (2012) Sistemas Digitais e Microprocessadores, Ed. UFPR. ISBN 9788573353068

**Professor da Disciplina:** Eduardo Todt

**Assinatura:**

**Chefe de Departamento ou Unidade equivalente:**

**Assinatura:**

## Plano de aulas

ci1212-2021-1 Arquitetura de Computadores (2h cada atividade)						
atividade	semana	data	horário	síncrona	plataforma	TA
1	1	21/09	13:30	1		1
2						2
3						3
4	2	28/09	13:30	2		4
5	3	05/10	13:30	3		5
6						6
7						7
8	4	14/10	13:30	4		8
9	5	19/10	13:30	5		9
10						10
11	6	26/10	13:30	6		11
12						12
13						13
14	7	04/11	13:30	7		14
15						15
16	8	09/11	13:30	8		16
17						17
18						18
19	9	16/11	13:30	9		19
20	10	23/11	13:30	10		20
21						21
22						22
23						23
24	11	30/11	13:30	11		24
25						25
26						
27						
28						
29	12	07/12	13:30	12		
30	13	14/12	13:30	13		
		21/12	13:30			

**tópico**  
 apresentacao, introducao, representação binária, aritmética de inteiros com e sem sinal  
 sistemas digitais, sistemas digitais programaveis, processadores aritmetica de inteiros e ponto flutuante  
 MIPS monociclo  
 MIPS multiciclo  
 MIPS multiciclo  
 MIPS multiciclo  
 MIPS avaliação de desempenho  
 MIPS pipeline, hazards de dados e de controle  
 MIPS pipeline, hazards de dados e de controle  
 MIPS pipeline, hazards de dados e de controle  
 MIPS pipeline, hazards de dados e de controle  
 MIPS pipeline, exceções, desempenho  
 pipeline superescalar e outros avançados  
 pipeline superescalar e outros avançados, sistemas de entrada/saída, interrupções, barramentos, memórias, arquiteturas PC  
 pipeline superescalar e outros avançados, sistemas de entrada/saída, interrupções, barramentos, memórias, arquiteturas PC  
 sistemas de entrada/saída, interrupções, barramentos, memórias, arquiteturas PC  
 sistemas de entrada/saída, interrupções, barramentos, memórias, arquiteturas PC  
 hierarquia de memória, localidade  
 memória cache, organização e desempenho  
 memória cache, organização e desempenho  
 memória cache, protocolos de coerência  
 memória cache, memória virtual, organização e desempenho  
 memória virtual, organização e desempenho  
 memória virtual, organização e desempenho  
 memória virtual, organização e desempenho  
 apoio trabalho TF e revisao  
 apoio trabalho TF e revisao  
 prova P1  
 defesa trabalho TF  
 prova final