

## Ficha 2 (variável)

Disciplina: <b>Arquitetura de Computadores</b>							Código: <b>CI1212</b>	
Natureza: ( x ) Obrigatória ( ) Optativa		( x ) Semestral ( ) Anual ( ) Modular						
Pré-requisito: CI1210		Co-requisito:		Modalidade: ( X ) Presencial ( ) Totalmente EaD ( ) ___ *c.H.EaD				
<b>CH Total: 60</b> <b>CH semanal: aprox. 4,6</b>		Padrão (PD): 60	Laboratório (LB): 00	Campo (CP): 00	Estágio (ES): 00	Orientada (OR): 00	Prática Específica (PE): 00	
Estágio de Formação Pedagógica (EFP):		Extensão (EXT): 00	Prática como Componente Curricular (PCC): 00					
<p><b>Indicar a carga horária semestral (em PD-LB-CP-ES-OR-PE-EFP-EXT-PCC)</b>  <b>*Indicar a carga horária que será à distância.</b></p> <p style="text-align: center;"><b>EMENTA (Unidade Didática)</b></p> <p>Aritmética de inteiros e ponto flutuante, avaliação de desempenho, processador pipeline, sistemas de memória, memória cache, memória virtual, arquiteturas de alto desempenho. Gasto energético e meio ambiente.</p> <p style="text-align: center;"><b>PROGRAMA (itens de cada unidade didática)</b></p> <p>Apresentação, introdução, representação binária            Sistemas digitais, sistemas digitais programáveis, processadores            Aritmética de inteiros com e sem sinal, ponto flutuante            MIPS monociclo            MIPS multiciclo            Avaliação de desempenho, pipeline            MIPS pipeline: hazards de dados e de controle            MIPS pipeline: exceções            MIPS pipeline: desempenho            Pipeline superescalar e outros avançados            Sistemas de entrada/saída, interrupções            Barramentos            Memórias            Arquiteturas PC            Memória cache, organização e desempenho            Memória virtual, organização e desempenho</p> <p style="text-align: center;"><b>OBJETIVO GERAL</b></p> <p>Capacitar a(o) aluna(o) a analisar, conceber, projetar e implementar a nível lógico Sistemas Digitais de média complexidade, envolvendo conceitos avançados (Processadores com pipeline, memórias cache e virtual) que permitem obtenção de maior desempenho de sistemas computacionais, dentro de soluções de compromisso entre características e recursos utilizados.</p> <p style="text-align: center;"><b>OBJETIVO ESPECÍFICO</b></p> <p>Dominar conceitos de aritmética de inteiros e ponto flutuante com sua implementação em hardware, avaliação de desempenho de sistemas, métricas, benchmarks, projeto de processador pipeline, incluindo gestão de conflitos na execução de partes de instruções em paralelo e unidade de controle, projeto e avaliação de sistemas de memória cache e virtual; entender reflexo das decisões de implementação da arquitetura no software e vice-versa; compreender sistemas de interrupção e entrada e saída.</p> <p style="text-align: center;"><b>PROCEDIMENTOS DIDÁTICOS</b></p> <p>Os procedimentos didáticos serão feitos através de <b>aulas expositivas em sala de aula na forma presencial</b>, colaborado com material de apoio e bibliografia. Também serão adotados <b>estudos dirigidos com resolução de problemas propostos</b>. Além das aulas presenciais, serão disponibilizados aos alunos materiais complementares, alguns opcionais, via ambiente UFPR</p>								

Virtual, a fim de complementar a carga horária do curso. Em caráter opcional e de forma suplementar podem ser sugeridas leituras e vídeos em inglês e espanhol. Todas tarefas serão entregues via UFPR Virtual. Será disponibilizado servidor Discord para discussão extra-classe e esclarecimento de dúvidas fora do ambiente de sala de aula.

### FORMAS DE AVALIAÇÃO

São previstas entregas de tarefas pequenas referentes a temas vistos em aula, uma prova e um trabalho final. Aprovação mínima com nota 70, sem realização de exame final, e nota mínima 50 para os que realizarem exame final. Para a realização de exame final é necessária média igual ou superior a 40.

TA = tarefa referente a atividade qualificada: 2 pontos cada, 20 tarefas, totalizando 40 pontos

P1 = prova 1: 30 pontos

TF = trabalho final: 30 pontos

M = média

$$M = (TA1 + \dots + TA20) + P1 + TF$$

Na primeira semana de aula serão apresentados:

- Calendário das atividades e trabalhos, com as datas, horários e objetivos que serão cobrados em cada uma delas;
- Tipo de avaliação que será realizada;
- Toda informação constante nesta ficha 2
- Página web da disciplina
- Servidor para discussão extra-classe

### BIBLIOGRAFIA BÁSICA (mínimo 03 títulos)

Hennessy, J.L. e Patterson, D.A. (2017). Organização e Projeto de Computadores. - A interface hardware/software. 5ª ed., Campus Elsevier - LTC. ISBN 9780124077263 (original), 9788535287936 (impresso), 9788535287943 (digital), ou edições anteriores. Disponível em <https://integrada.minhabiblioteca.com.br/#/books/9788595152908>

David A. Patterson e John L. Hennessy (2019). Arquitetura de computadores: uma abordagem quantitativa. 6ª ed., Campus Elsevier - LTC. ISBN 9780128119051 (original), 9788535291742 (impresso), 9788535291759 (digital), ou edições anteriores. Disponível em <https://integrada.minhabiblioteca.com.br/books/9788595150669>

Hwang, E.O. Digital Logic and Microprocessor Design with VHDL. Thomson, 2006. ISBN 978053446593 (<http://faculty.lasierra.edu/~ehwang/digitaldesign/>)

### BIBLIOGRAFIA COMPLEMENTAR (mínimo 05 títulos)

Mohammed Ferdjallah. Introduction to Digital Systems : Modeling, Synthesis, and Simulation Using VHDL. Wiley, 2011. ISBN: 9780470900550.

Pedroni, Volnei A. Eletrônica Digital Moderna e VHDL. Campus Elsevier, 2010. ISBN 9788535234657

Peter J. Ashenden. Digital Design (VHDL) : An Embedded Systems Approach Using VHDL. Morgan Kaufmann, 2008. ISBN: 9780123695284.

David Money Harris e Sarah L. Harris. Digital Design and Computer Architecture. Morgan Kaufmann, 2007. ISBN: 9780123704979.

William Stallings. Arquitetura e organização de computadores. São Paulo: Pearson, 2010. ISBN: 9788576055648.

Patterson, D.A. and Hennessy, J.L. Computer organization and design: the hardware software interface - ARM(r) edition. Morgan Kaufman, 2017. ISBN 9780128017333

Patterson, D.A. and Hennessy, J.L. Computer organization and design: the hardware software interface - RISC-V edition. Morgan Kaufman - Elsevier, 2018. ISBN 9780128122754

Bryant, R.E. and O'Hallaron, D.R., Computer Systems: A Programmer's Perspective, Pearson, 2015. ISBN 978-0136108047

Ashenden, P. The Designer's Guide to VHDL, Third Edition. Morgan Kaufmann, 2008. ISBN 978-0120887859

Hexsel, R. Software Básico, Departamento de Informática, UFPR, 2017 (<http://www.inf.ufpr.br/todt/ci1212/swbas.pdf>)

Saito, José Hiroki. Introdução à arquitetura e à organização de computadores: Síntese do processador MIPS. Coleção UAB-UFSCar, 2017. ISBN 978-85-7600-207-9 (<http://hdl.handle.net/123456789/2665>)



Kann, Charles W. Introduction To MIPS Assembly Language Programming. Gettysburg College Open Educational Resources, 2015. (<https://cupola.gettysburg.edu/oer/2>)

Weingaertner, Daniel. Números Reais. Apostila disciplina CI164 – UFPR, 2019. (<http://www.inf.ufpr.br/todt/ci1212/ci164-01-NumerosReais.pdf>)

Hexsel, R. (2012) Sistemas Digitais e Microprocessadores, Ed. UFPR. ISBN 9788573353068

**Professor da Disciplina:** Eduardo Todt

**Assinatura:**

**Chefe de Departamento ou Unidade equivalente:**

**Assinatura:**