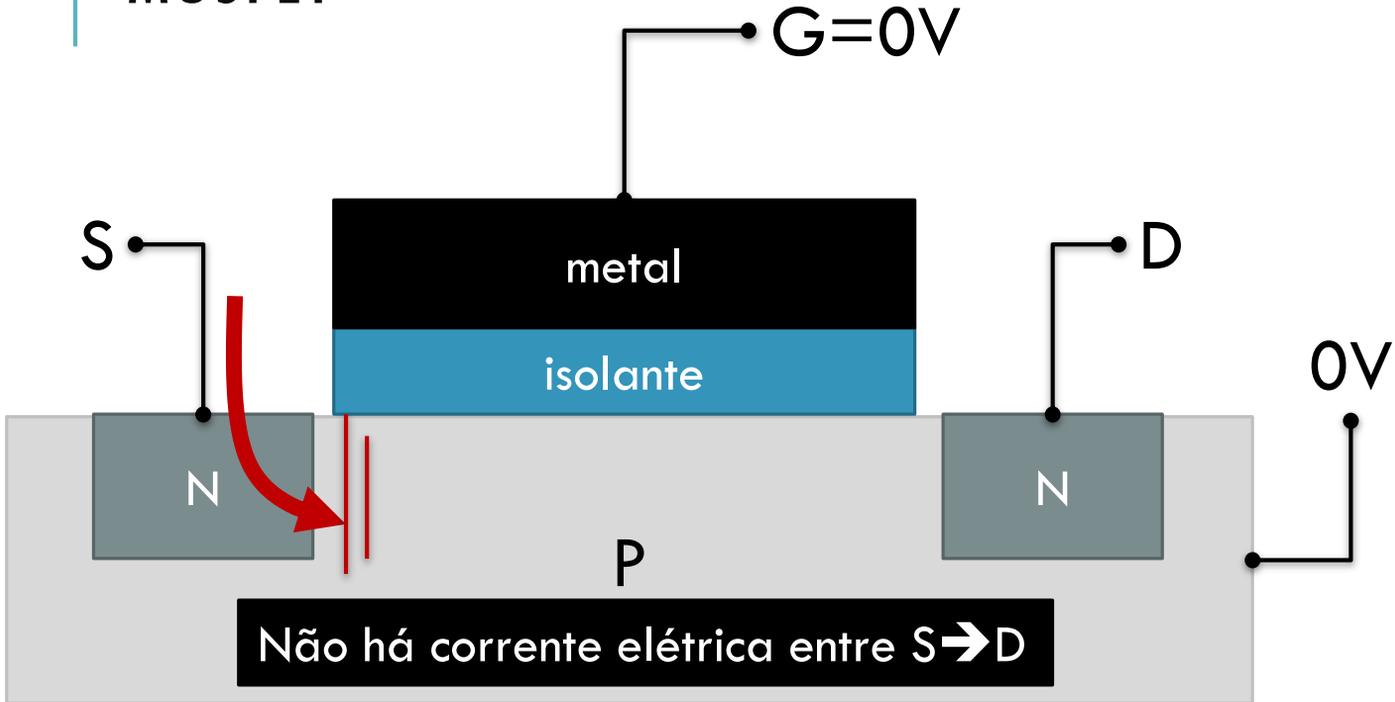




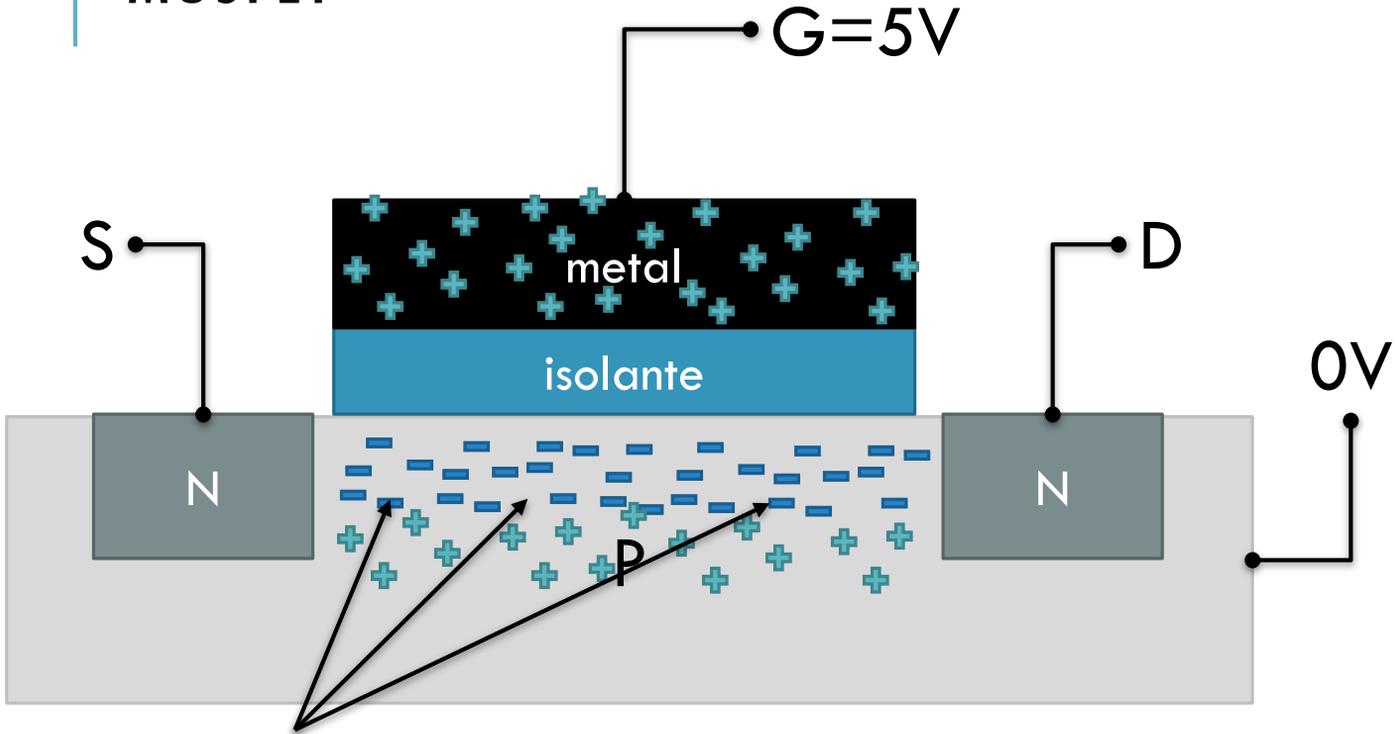
# PROJETOS DIGITAIS E MICROPROCESSADORES ATRASOS DO CMOS

Marco A. Zanata Alves

# MOSFET

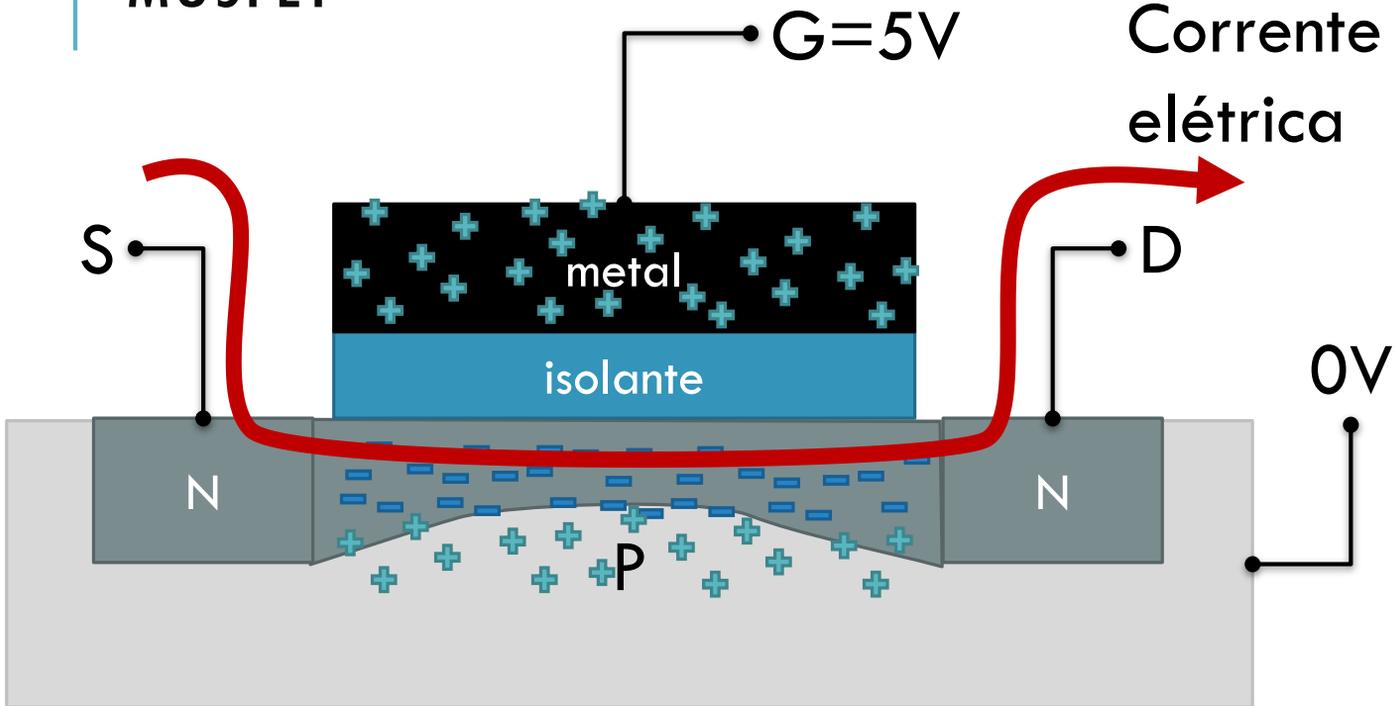


# MOSFET



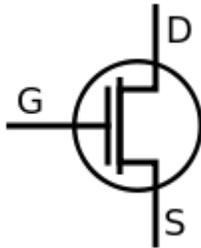
Canal negativo se forma

# MOSFET



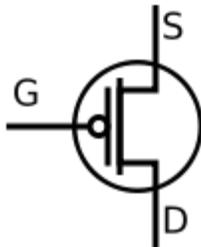
# SIMBOLOGIA DE CMOS

nMOS



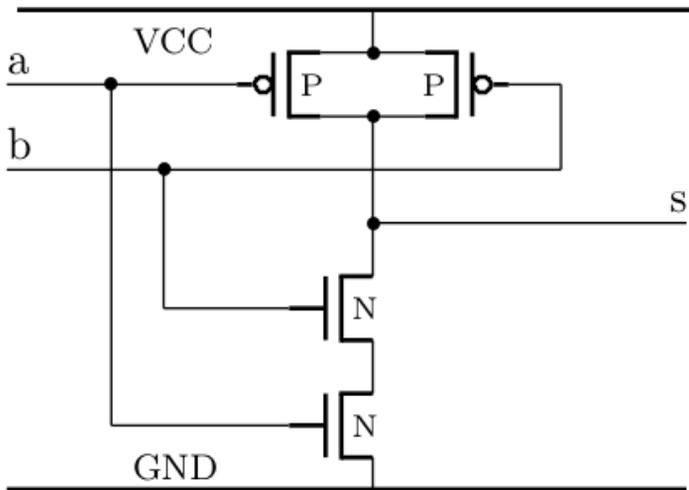
$G=1 \rightarrow S=D$   
Chave fechada

pMOS



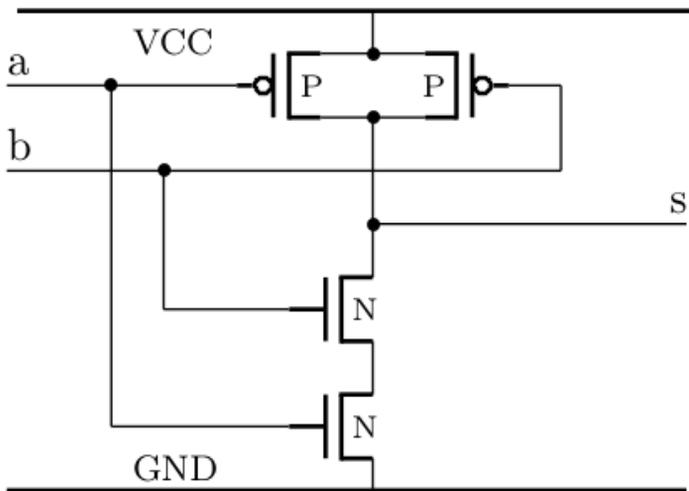
$G=0 \rightarrow S=D$   
Chave fechada

# QUAL A FUNÇÃO IMPLEMENTADA NO SEGUINTE CMOS?



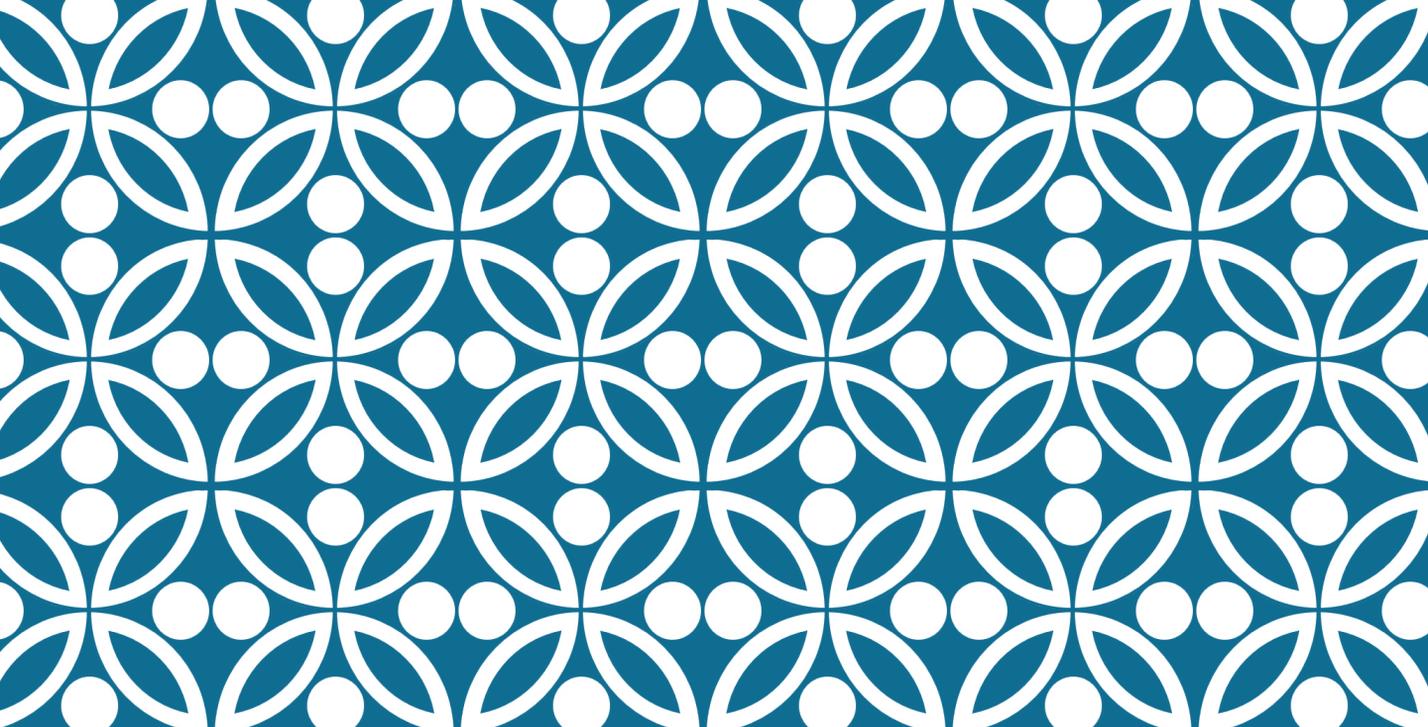
a	b	S
0	0	
0	1	
1	0	
1	1	

# QUAL A FUNÇÃO IMPLEMENTADA NO SEGUINTE CMOS?



a	b	S
0	0	1
0	1	1
1	0	1
1	1	0

**NAND**



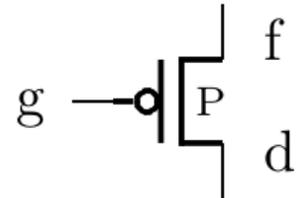
# REDES DE ACIONAMENTO CMOS

# TRANSISTORES

Estes transistores se comportam como chaves e quando o terminal g (gate) está ligado ao nível lógico adequado

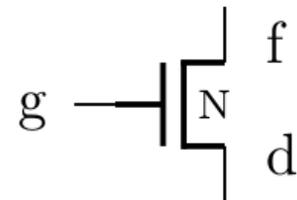
## Transistor P

- O círculo no gate do transistor tipo P indica que é o nível lógico 0 que permite o fluxo de corrente entre os terminais fonte e dreno
- Estes transistores transmitem bem sinal de nível 1.



## Transistor N

- No transistor tipo N é o nível lógico 1 que permite o fluxo de corrente entre os terminais fonte e dreno.
- Estes transistores transmitem bem sinal de nível 0.



# REDES DE ACIONAMENTO

Devido aos estados indefinidos, os circuitos costumam utilizar duas redes, uma que puxa para cima (para 1, *pull-up*) e outra rede que puxa o sinal para baixo (0, *pull-down*).

A **rede pull-up**, vai controlar a ligação ao VDD

- Essa rede é composta apenas por transistores do tipo P.

A **rede pull-down**, irá controlar a ligação com o GND

- Essa rede é composta apenas por transistores do tipo N.

Dessa forma, espera-se garantir que a saída sempre estará em nível lógico 0 ou 1.

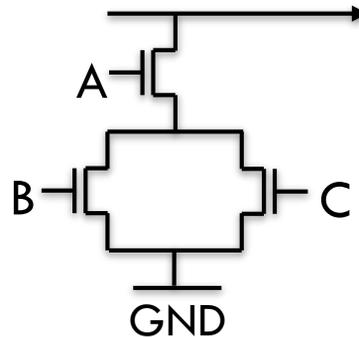
# RECEITA PARA GERAR PORTAS CMOS

1. Planeje a rede pull-down que faça o que você quer:

$$\text{Ex. } F = \bar{A} + \bar{B} \cdot \bar{C}$$

$$\text{Pull-down} \rightarrow \bar{F} = A \cdot (B + C)$$

(Determine a combinação de entradas que irá gerar saída **baixa**)



# RECEITA PARA GERAR PORTAS CMOS

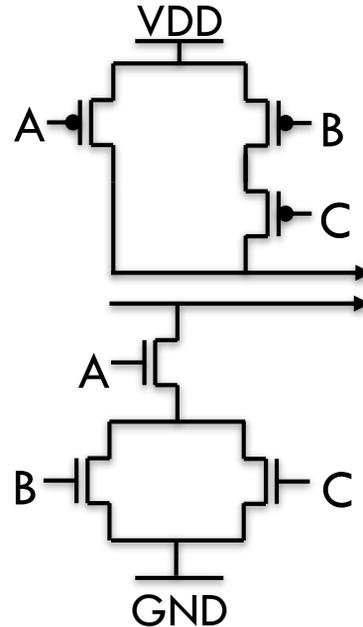
1. Planeje a rede pull-down que faça o que você quer:

$$\text{Ex. } F = \bar{A} + \bar{B} \cdot \bar{C}$$

$$\text{Pull-down} \rightarrow \bar{F} = A \cdot (B + C)$$

(Determine a combinação de entradas que irá gerar saída **baixa**)

2. Caminhe pela hierarquia substituindo nFETs por pFETs, redes em série por redes paralelas, redes paralelas por redes em série..



# RECEITA PARA GERAR PORTAS CMOS

1. Planeje a rede pull-down que faça o que você quer:

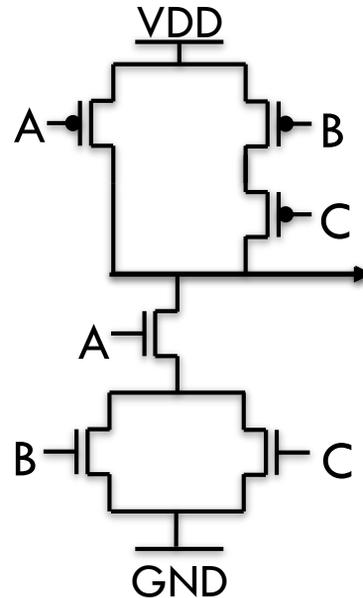
$$\text{Ex. } F = \bar{A} + \bar{B} \cdot \bar{C}$$

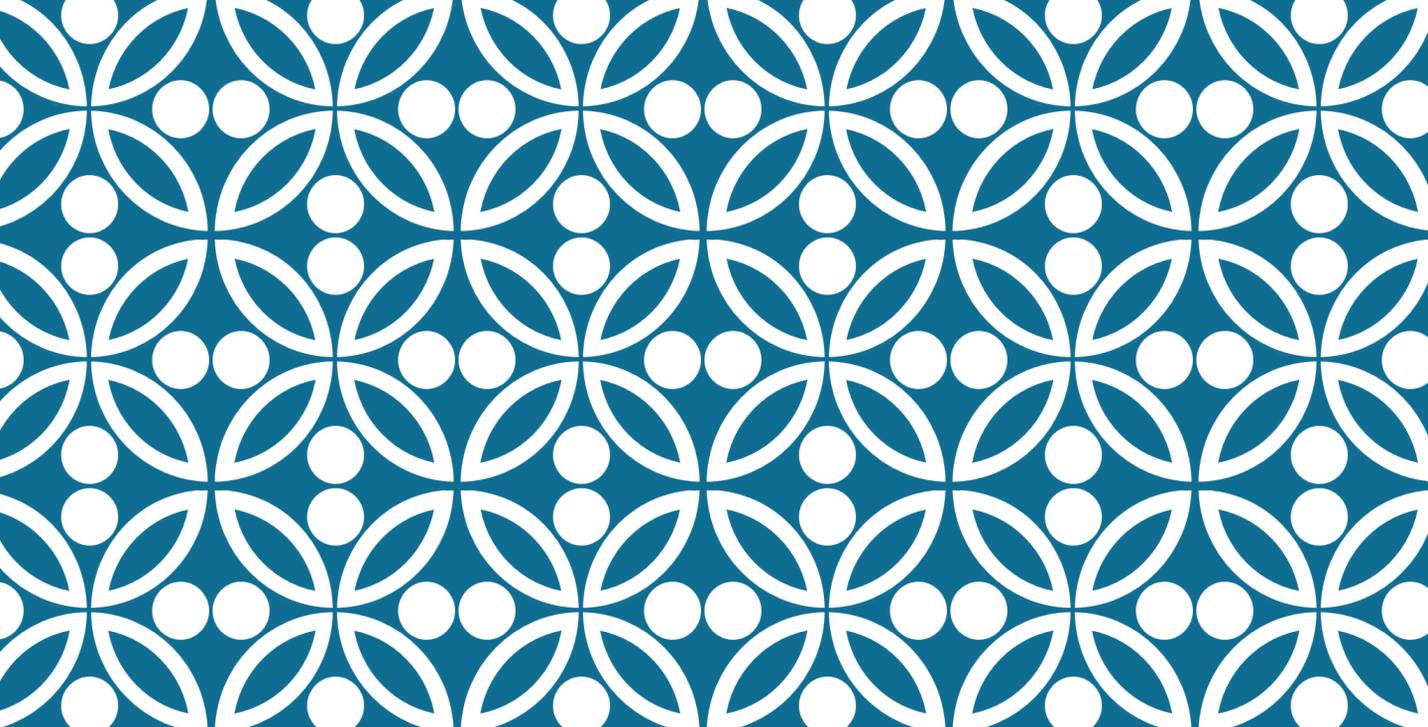
$$\text{Pull-down} \rightarrow \bar{F} = A \cdot (B + C)$$

(Determine a combinação de entradas que irá gerar saída **baixa**)

2. Caminhe pela hierarquia substituindo nFETs por pFETs, redes em série por redes paralelas, redes paralelas por redes em série.

3. Combine a rede nFET de pull-down (passo 1) com a rede de pFET de pull-up (passo 2) para formar uma porta CMOS totalmente complementar.





# BREVE PASSEIO PELO REINO DA FÍSICA

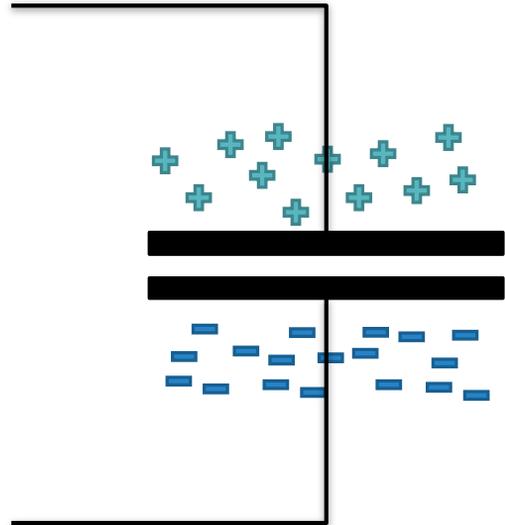
# CAPACITORES

Duas superfícies metálicas próximas armazenam energia no campo elétrico entre as cargas nas superfícies

Um capacitor é um dispositivo que armazena energia no campo elétrico.

Se as placas são maiores, maior é a capacidade de armazenar carga para uma dada tensão

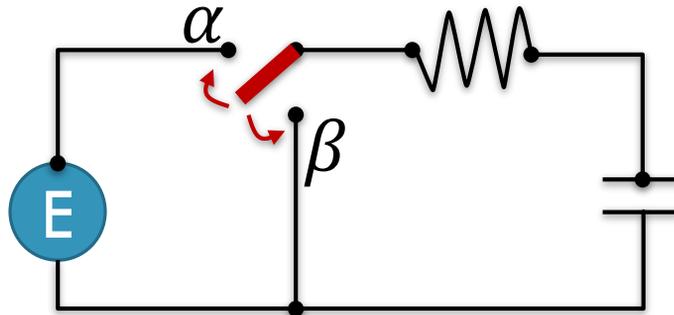
Se as placas estão mais próximas, maior a força entre as cargas e maior é a energia armazenada por unidade de carga.



# COMPORTAMENTO EM CIRCUITOS DE CORRENTE CONTÍNUA

Chave inicialmente em  $\alpha$ , a tensão no capacitor é igual à da fonte e corrente é zero.

Ao trocar a chave para  $\beta$ , a energia armazenada em C se dissipa através de R

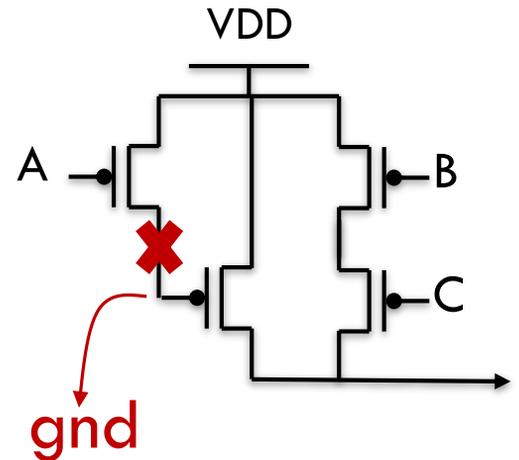


# CONVERTENDO LÓGICA PARA CMOS

**Cuidado! Não podemos ligar um transistor diretamente para ativar outro transistor**

Lembre-se, o GATE do transistor irá agir como um capacitor.

Isso quer dizer, que precisamos fornecer um caminho para que o GATE possa ser descarregado



Para circuitos mais complexos, devemos desmembrar em portas lógicas básicas (NOT, NOR, NAND) e então conecta-las

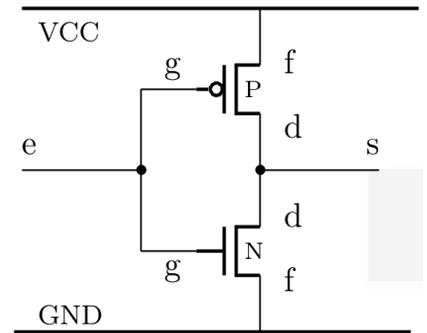
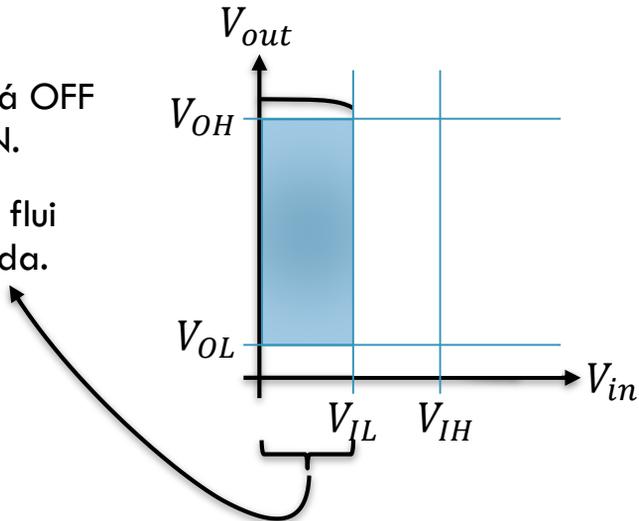


# COMPORTAMENTO CMOS

# INVERSOR CMOS

Quando  $V_{in}$  está baixo, o nFET está OFF e o pFET está ON.

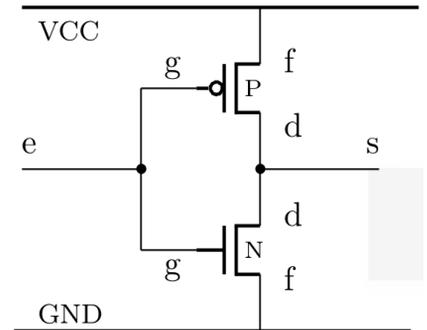
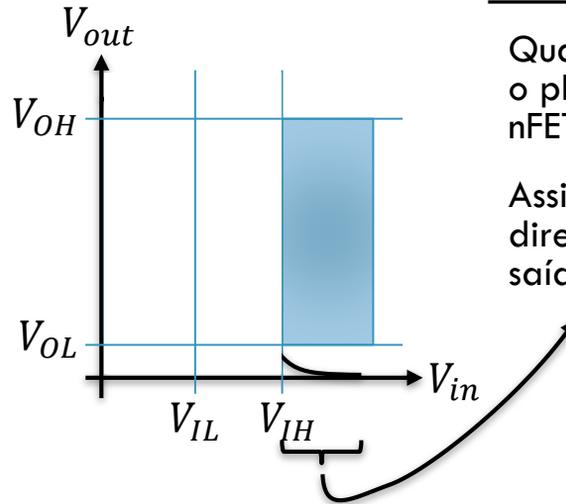
Assim, a corrente flui em direção a saída.



# INVERSOR CMOS

Quando  $V_{in}$  está baixo, o nFET está OFF e o pFET está ON.

Assim, a corrente flui em direção a saída.



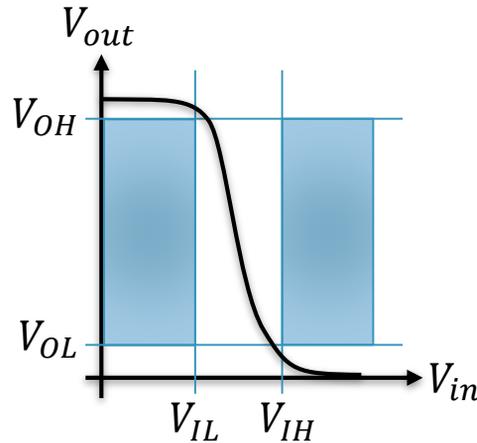
Quando o  $V_{in}$  está alto, o pFET está OFF e o nFET está ON.

Assim, a corrente flui em direção para fora da saída.

# INVERSOR CMOS

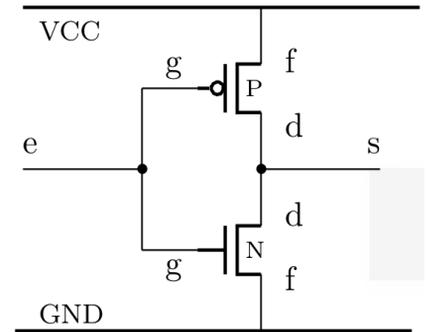
Quando  $V_{in}$  está baixo, o nFET está OFF e o pFET está ON.

Assim, a corrente flui em direção a saída.



Quando o  $V_{in}$  está no meio, ambos pFET e nFET estão ON e o comportamento depende das características do dispositivo.

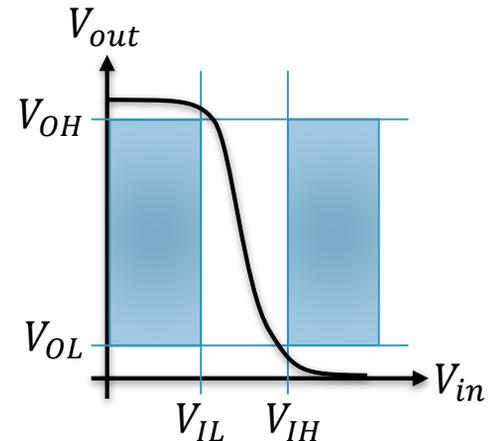
Portas CMOS possuem grande ganho nesta região (pequenas mudanças no  $V_{in}$  produzem grandes mudanças em  $V_{out}$ ).



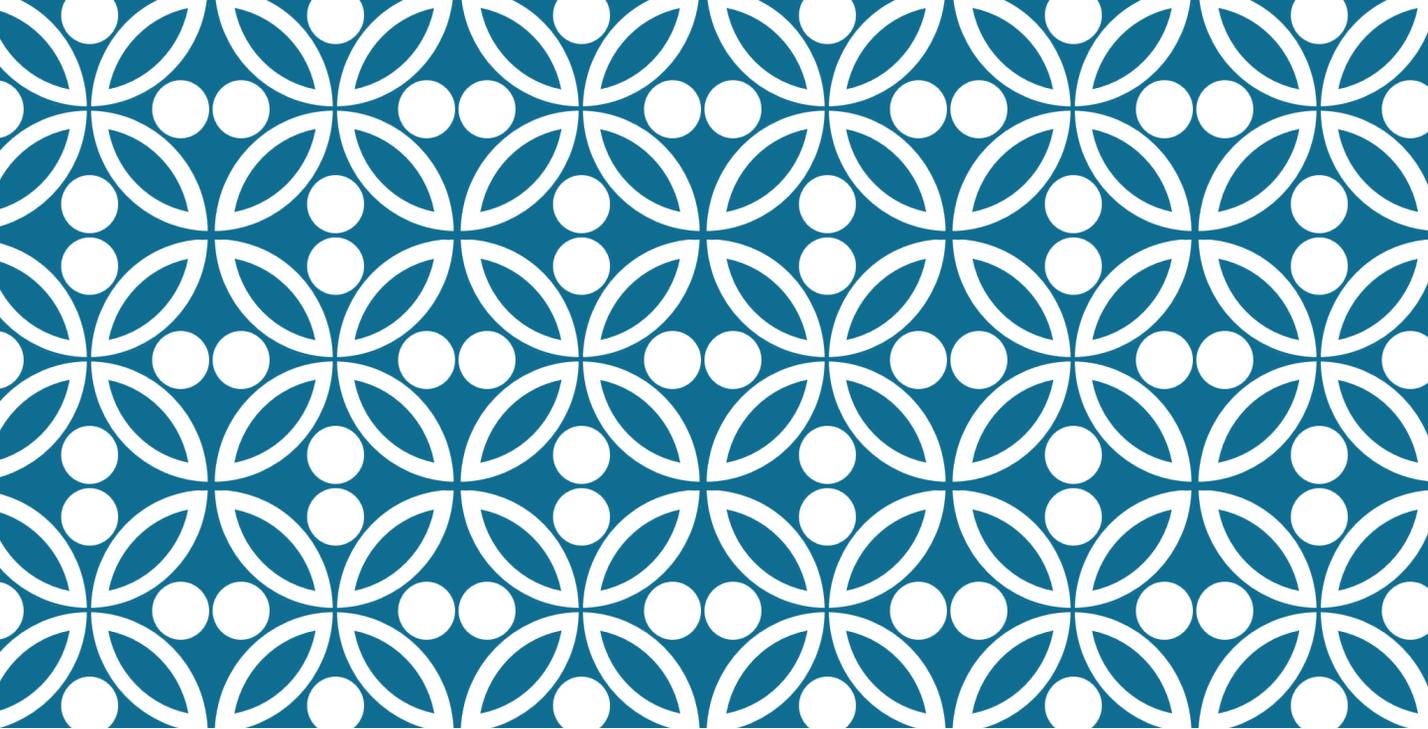
Quando o  $V_{in}$  está alto, o pFET está OFF e o nFET está ON.

Assim, a corrente flui em direção para fora da saída.

# VALORES TÍPICOS PARA CMOS

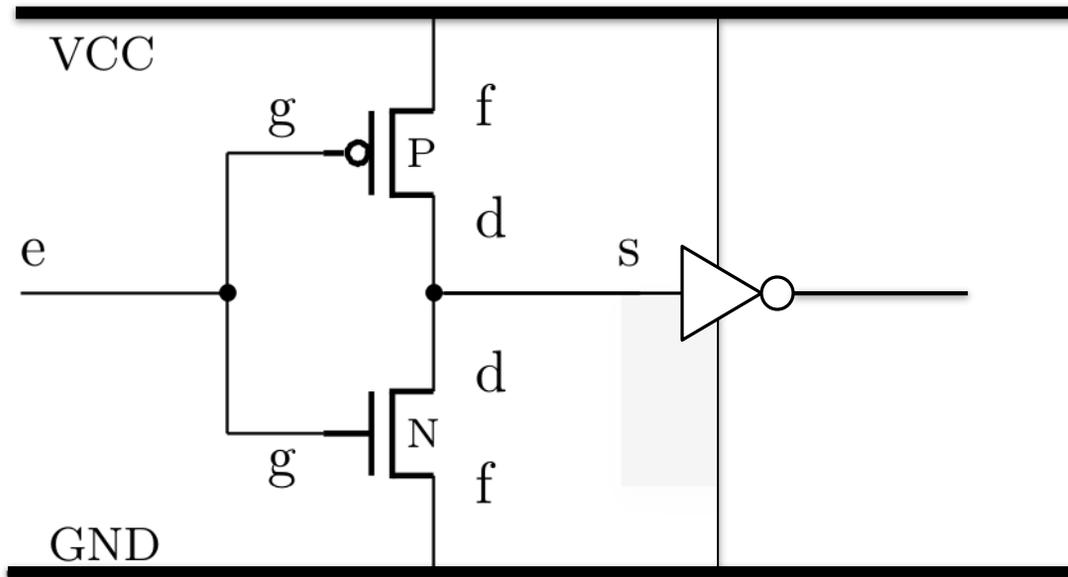


Família	VDD	$V_{IL}$	$V_{IH}$	$V_{OL}$	$V_{OH}$
CMOS	5 (4,5~6)	1,35	3,15	0,33	3,84
LVC MOS	3,3 (3~3,6)	0,90	1,80	0,36	2,70

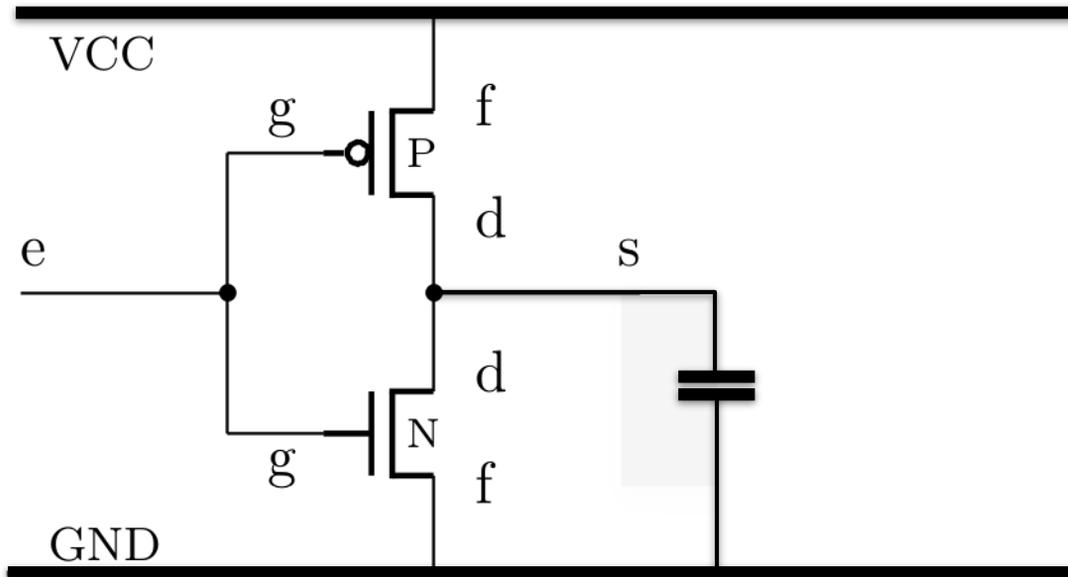


# ATRASOS NO CMOS

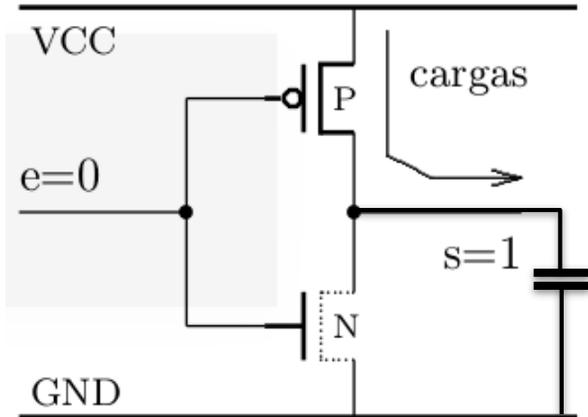
# INVERSORES CMOS



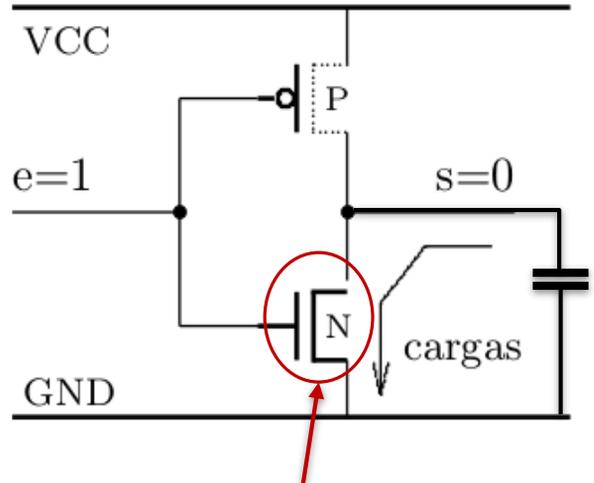
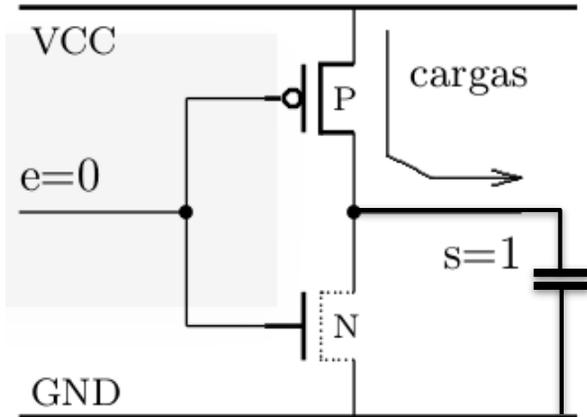
# INVERSORES CMOS



# INVERSORES CMOS

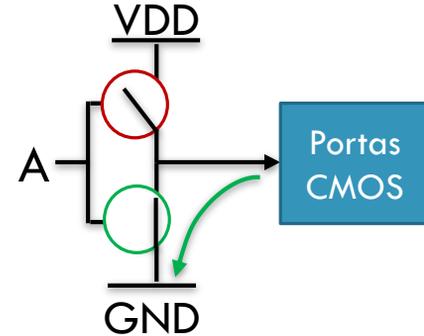
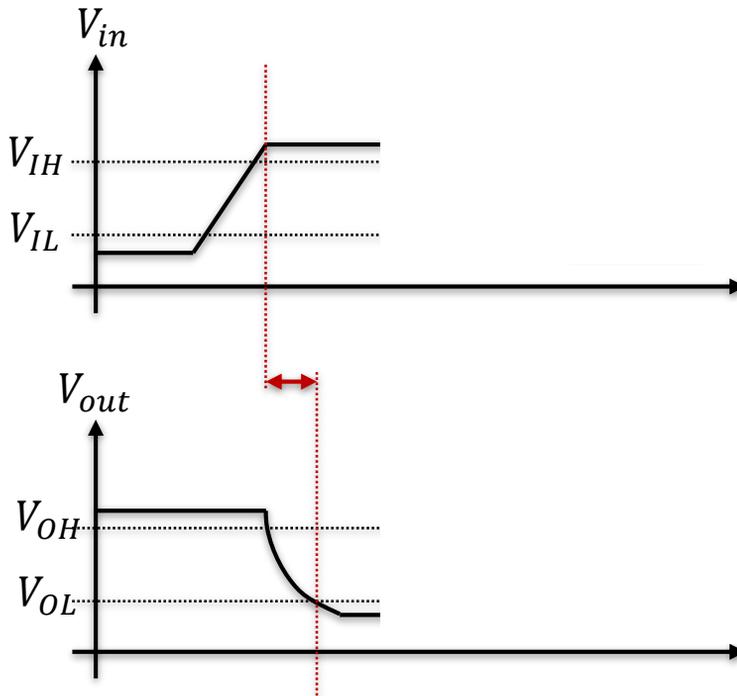


# INVERSORES CMOS

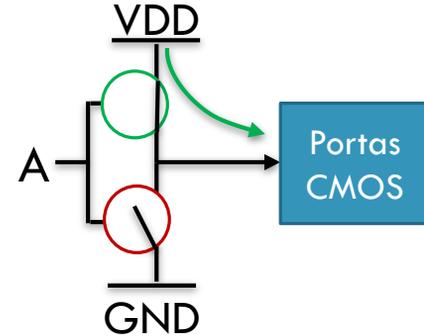
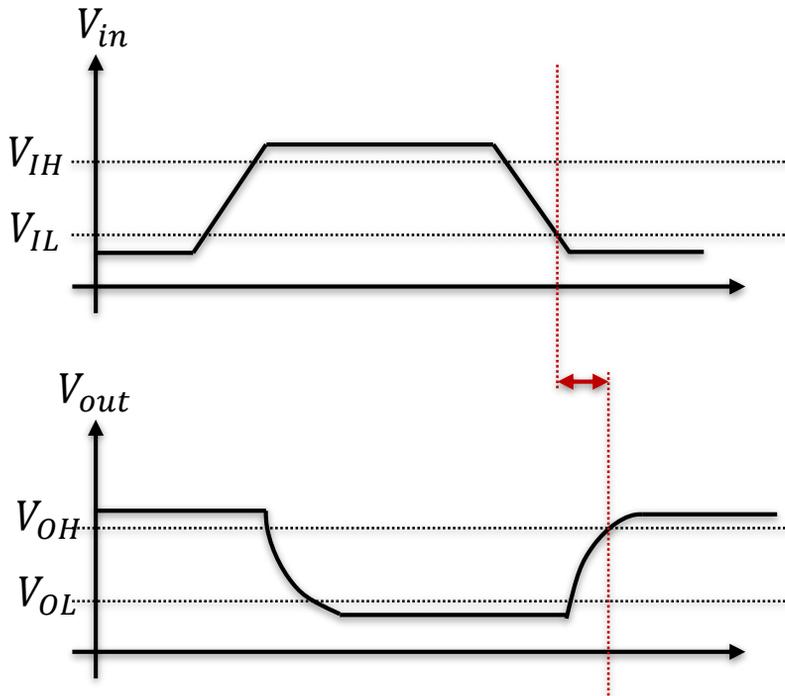


Resistência

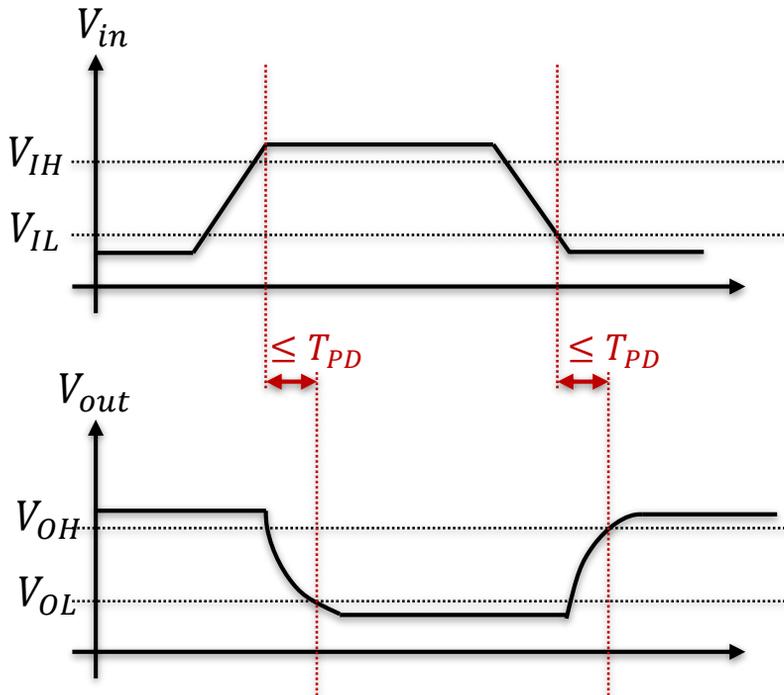
# ATRASO DE PROPAGAÇÃO (PROPAGATION DELAY TIME)



# ATRASO DE PROPAGAÇÃO (PROPAGATION DELAY TIME)



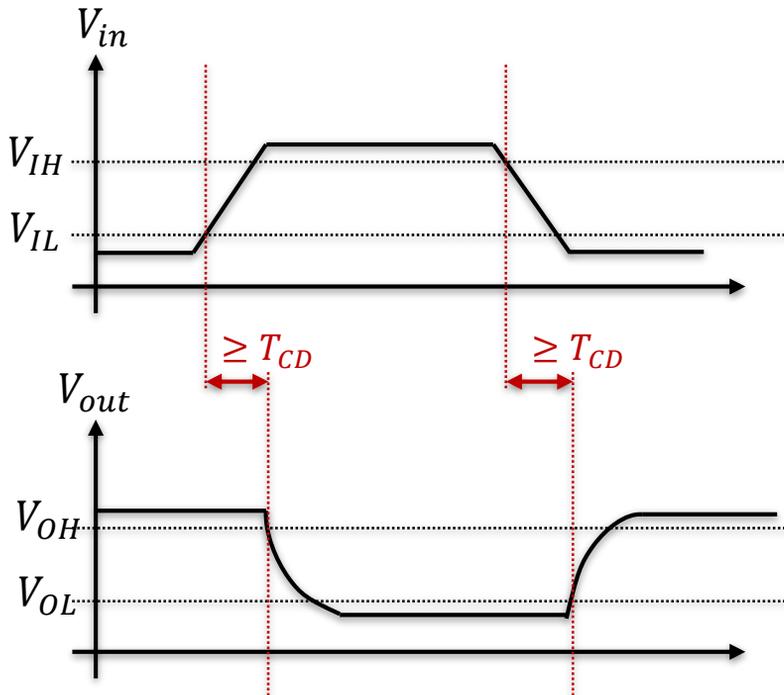
# ATRASO DE PROPAGAÇÃO (PROPAGATION DELAY TIME)



Atraso de **propagação** ( $T_{PD}$ ):  
O **limite superior** no atraso  
entre as **entradas válidas** até  
as **saídas válidas**

Tempo para as saídas  
ficarem prontas

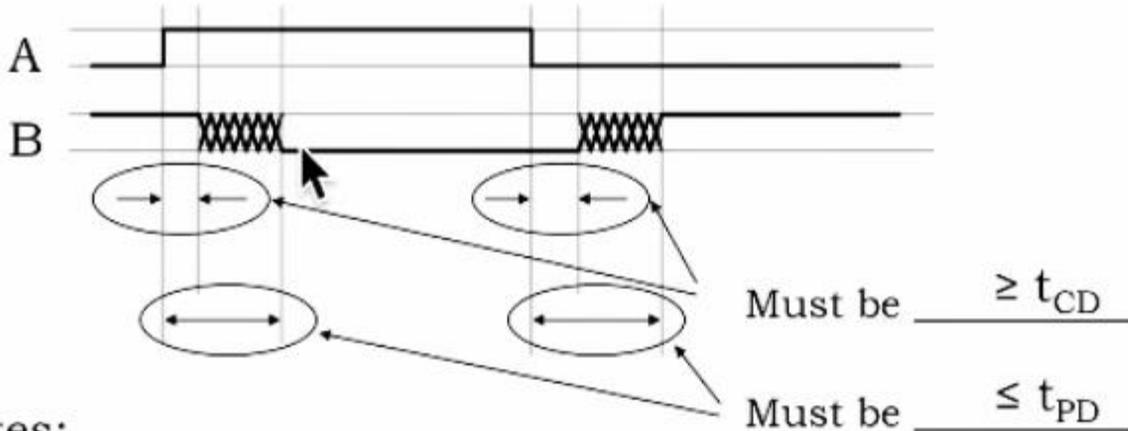
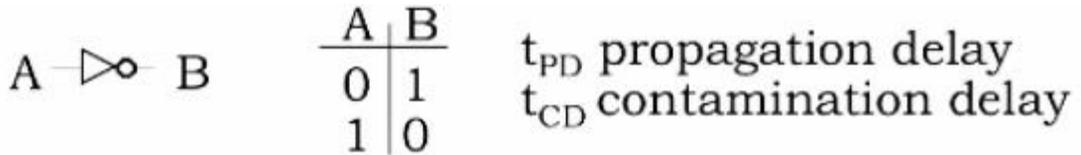
# ATRASO DE CONTAMINAÇÃO (CONTAMINATION DELAY TIME)



Atraso de **contaminação** ( $T_{CD}$ ):  
O **limite inferior** no atraso  
entre as **entradas inválidas**  
até as **saídas inválidas**

Tempo para as saídas  
ficarem inválidas

# O CONTRATO DE SERVIÇO



Notes:

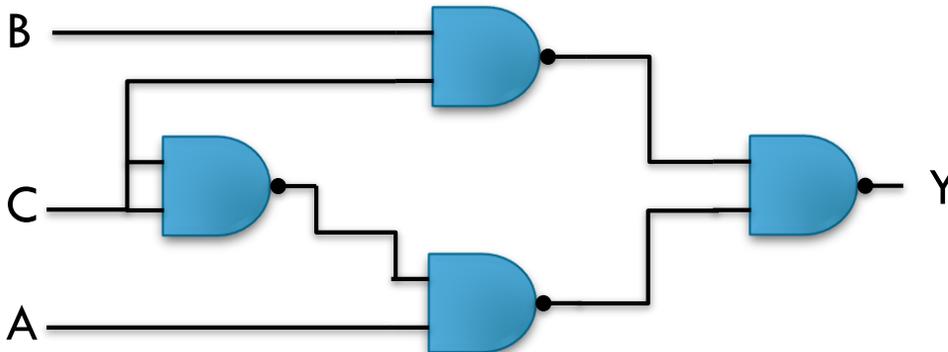
1. No Promises during
2. Default (conservative) spec:  $t_{CD} = 0$

# CIRCUITOS COMBINACIONAIS ACÍCLICOS

Se as portas NAND possuem  $T_{PD} = 4ns$  e  $T_{CD} = 1ns$

$$T_{PD} = \text{___} ns$$

$$T_{CD} = \text{___} ns$$

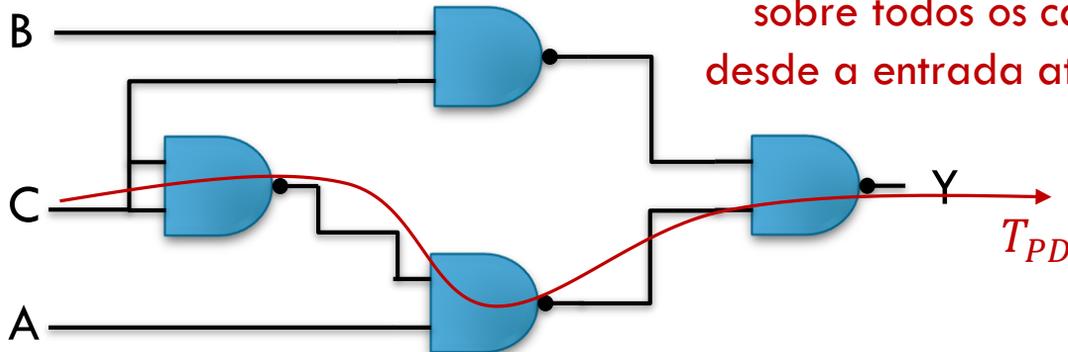


# CIRCUITOS COMBINACIONAIS ACÍCLICOS

Se as portas NAND possuem  $T_{PD} = 4ns$  e  $T_{CD} = 1ns$

$$T_{PD} = 12ns$$

$$T_{CD} = \text{---}ns$$



Atraso máximo acumulado  
sobre todos os caminhos  
desde a entrada até a saída

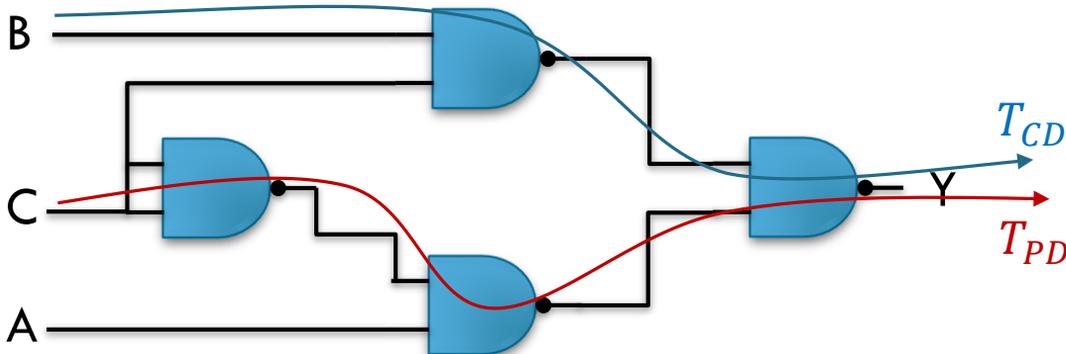
# CIRCUITOS COMBINACIONAIS ACÍCLICOS

Se as portas NAND possuem  $T_{PD} = 4ns$  e  $T_{CD} = 1ns$

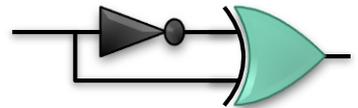
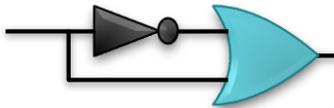
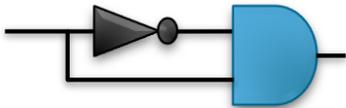
$$T_{PD} = 12ns$$

$$T_{CD} = 2ns$$

Atraso mínimo acumulado  
sobre todos os caminhos  
desde a entrada até a saída

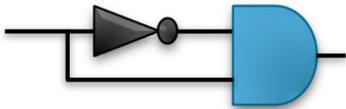


# O QUE FAZEM ESSES CIRCUITOS?

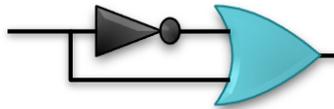
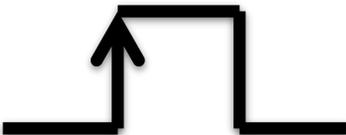




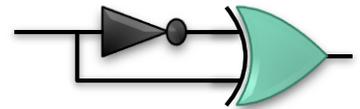
# O QUE FAZEM ESSES CIRCUITOS?



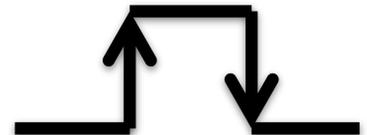
Detector de  
borda de  
subida



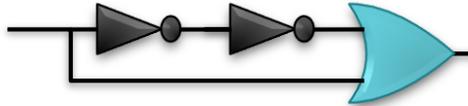
Detector de  
borda de  
descida



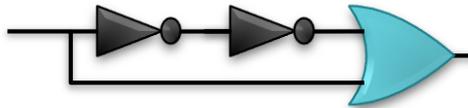
Detector de  
bordas



# O QUE FAZ ESSE CIRCUITO?

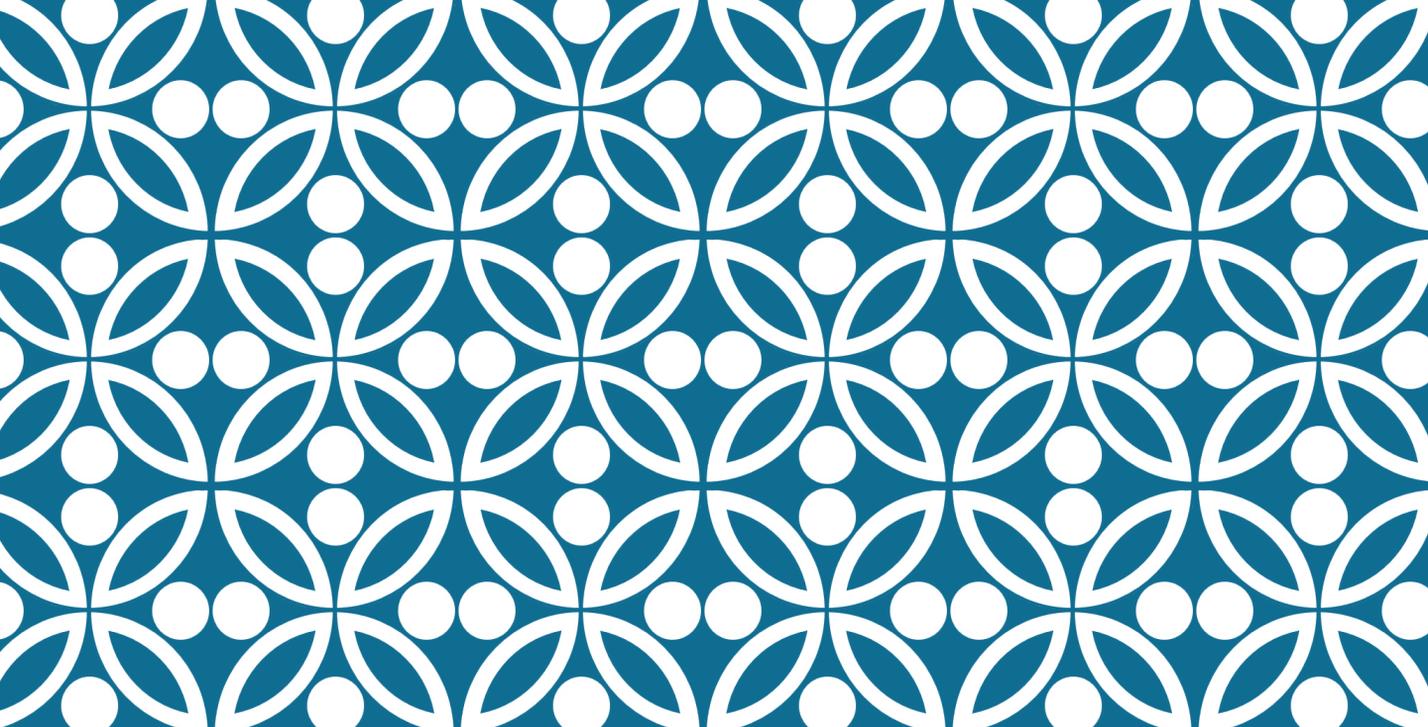


# O QUE FAZ ESSE CIRCUITO?



Anomalia





# GLITCHES

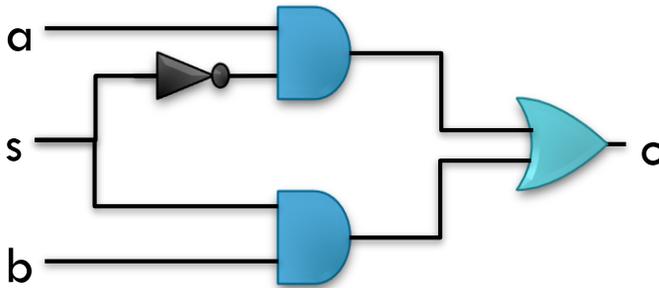
# CONSEQUÊNCIA DA CONTAMINAÇÃO

Um glitch é qualquer spike (pulso) de tensão ou corrente de duração muito curta.

Um glitch pode ser interpretado como um sinal válido por um circuito lógico podendo provocar uma operação inadequada.

Os glitches são resultado dos atrasos de propagação!

# ANÁLISE DE UM CIRCUITO COMBINACIONAL



<i>ab</i>	00	01	11	10
<i>s</i>				
0			1	1
1		1	1	

# CONSEQUÊNCIA DA CONTAMINAÇÃO

A transição entre dois grupos vizinhos no mapa de karnaugh pode indicar um glitch.

$$C = SB + \bar{S}A$$

ab \ s	00	01	11	10
0			1	1
1			1	

Muitos glitches podem ser eliminados facilmente adicionando mais portas lógicas

$$C = SB + \bar{S}A + AB$$

ab \ s	00	01	11	10
0			1	1
1			1	

# CONSEQUÊNCIA DA CONTAMINAÇÃO

Muitas vezes podemos eliminar glitches através de hardware extra.

Entretanto, mudança simultânea em múltiplas variáveis também podem levar a glitches.

Esses glitches não podem ser solucionados com hardware extra.

○ fato é que a grande maioria dos circuitos possuem glitches.

○ importante muitas vezes não é eliminar os glitches, mas reconhecê-los e cuidar para que eles não levem a efeitos indesejados.