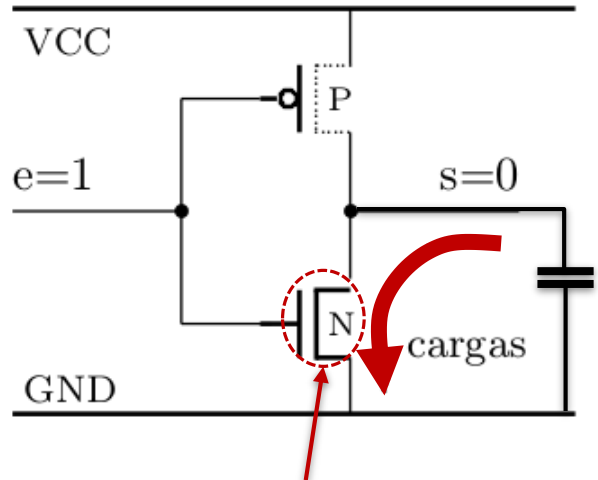
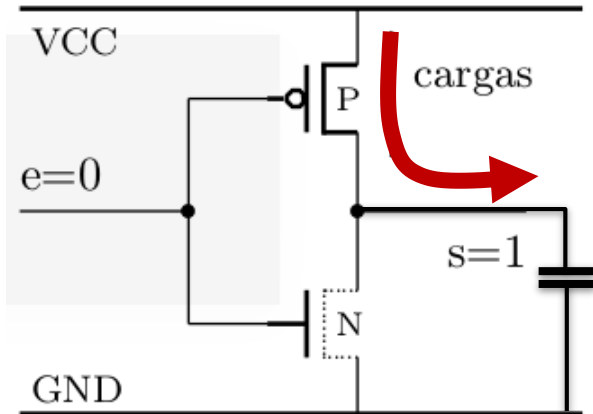




PROJETOS DIGITAIS E MICROPROCESSADORES MEMÓRIAS

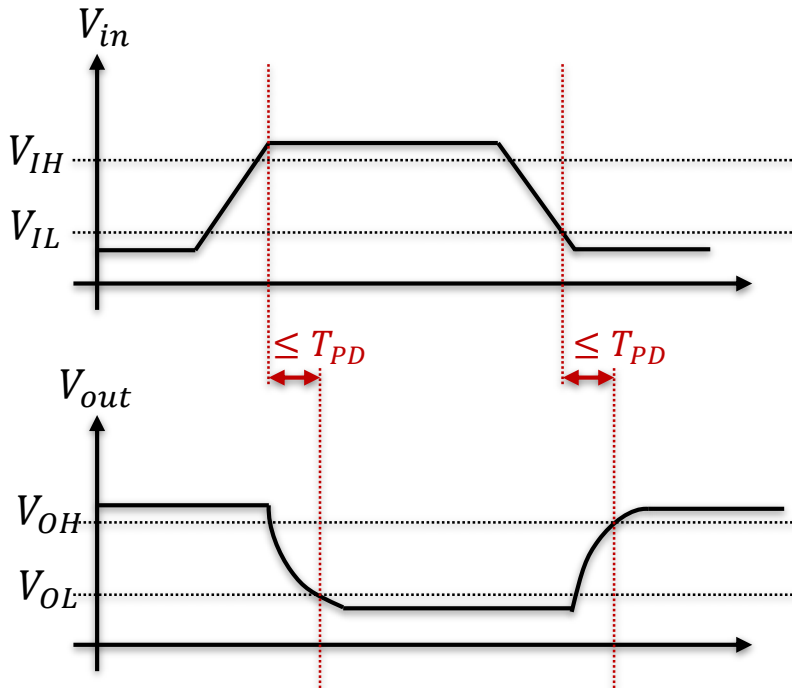
Marco A. Zanata Alves

INVERSORES CMOS



Resistência

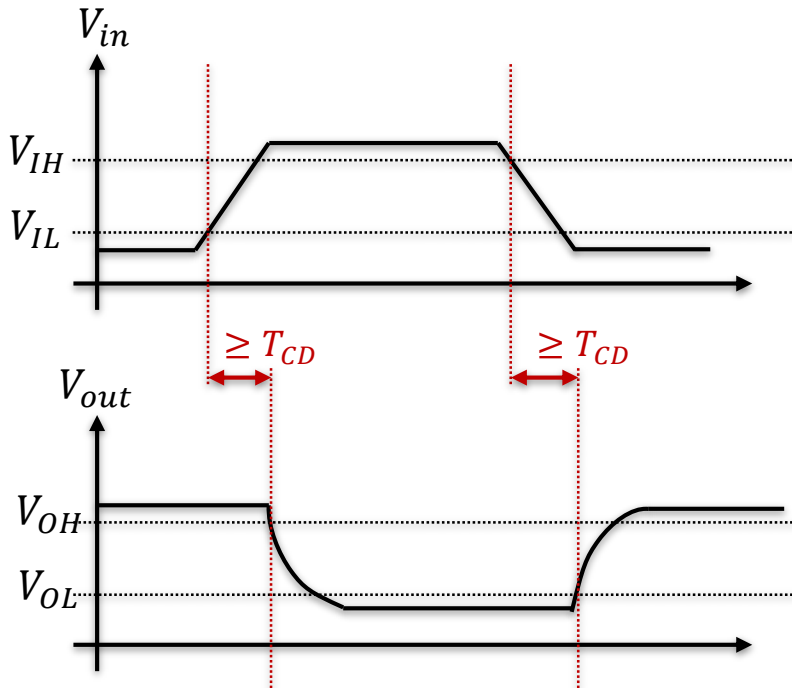
ATRASO DE PROPAGAÇÃO (PROPAGATION DELAY TIME)



Atraso de **propagação** (T_{PD}):
O **limite superior** no atraso
entre as **entradas válidas** até
as **saídas válidas**

Tempo para as saídas
ficarem prontas

ATRASO DE CONTAMINAÇÃO (CONTAMINATION DELAY TIME)



Atraso de **contaminação** (T_{CD}):
O **limite inferior** no atraso
entre as **entradas inválidas**
até as **saídas inválidas**

Tempo para as saídas
ficarem inválidas

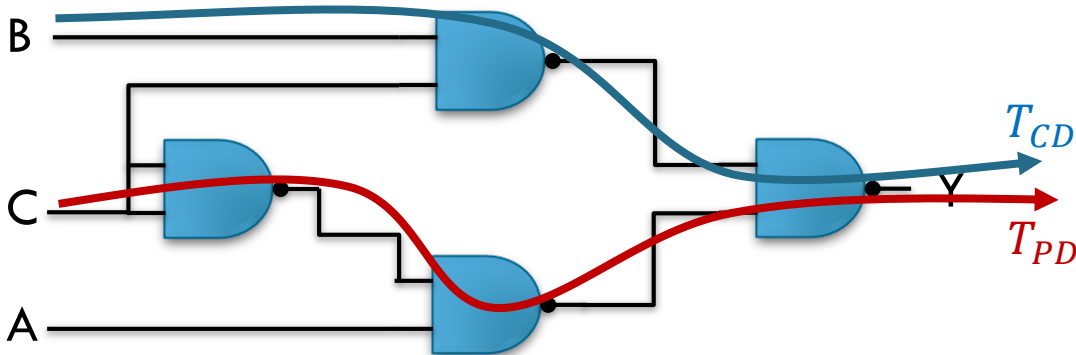
CIRCUITOS COMBINACIONAIS ACÍCLICOS

Se as portas NAND possuem $T_{PD} = 4ns$ e $T_{CD} = 1ns$

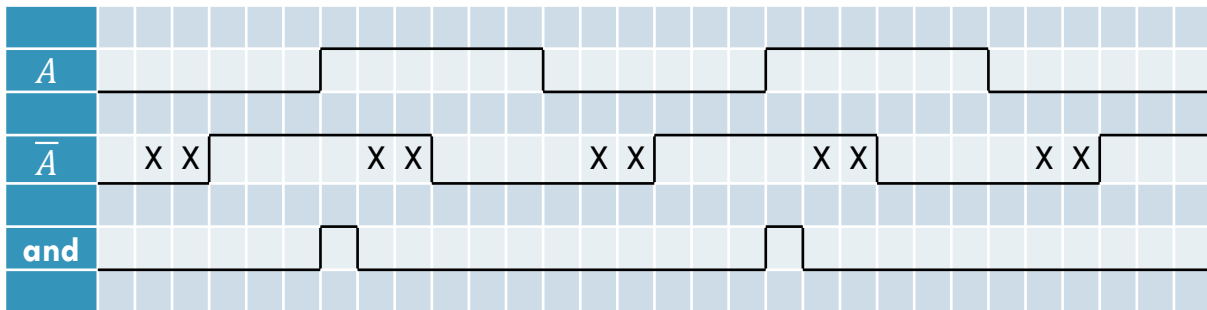
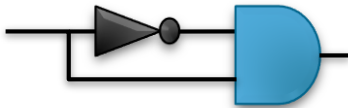
$$T_{PD} = 12ns$$

$$T_{CD} = 2ns$$

Atraso mínimo acumulado
sobre todos os caminhos
desde a entrada até a saída



O QUE FAZEM ESSES CIRCUITOS?



CONSEQUÊNCIA DA CONTAMINAÇÃO

Um glitch é qualquer spike (pulso) de tensão ou corrente de duração muito curta.

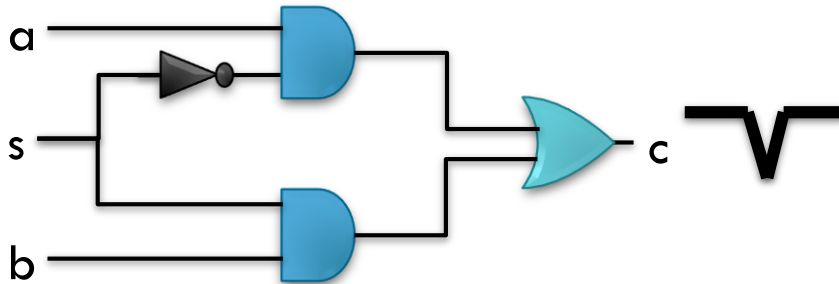
Um glitch pode ser interpretado como um sinal válido por um circuito lógico podendo provocar uma operação inadequada.

Os glitches são resultado dos atrasos de propagação!

O fato é que a grande maioria dos circuitos possuem glitches.

O importante muitas vezes não é eliminar os glitches, mas reconhecê-los e cuidar para que eles não levem a efeitos indesejados.

ANÁLISE DE UM CIRCUITO COMBINACIONAL

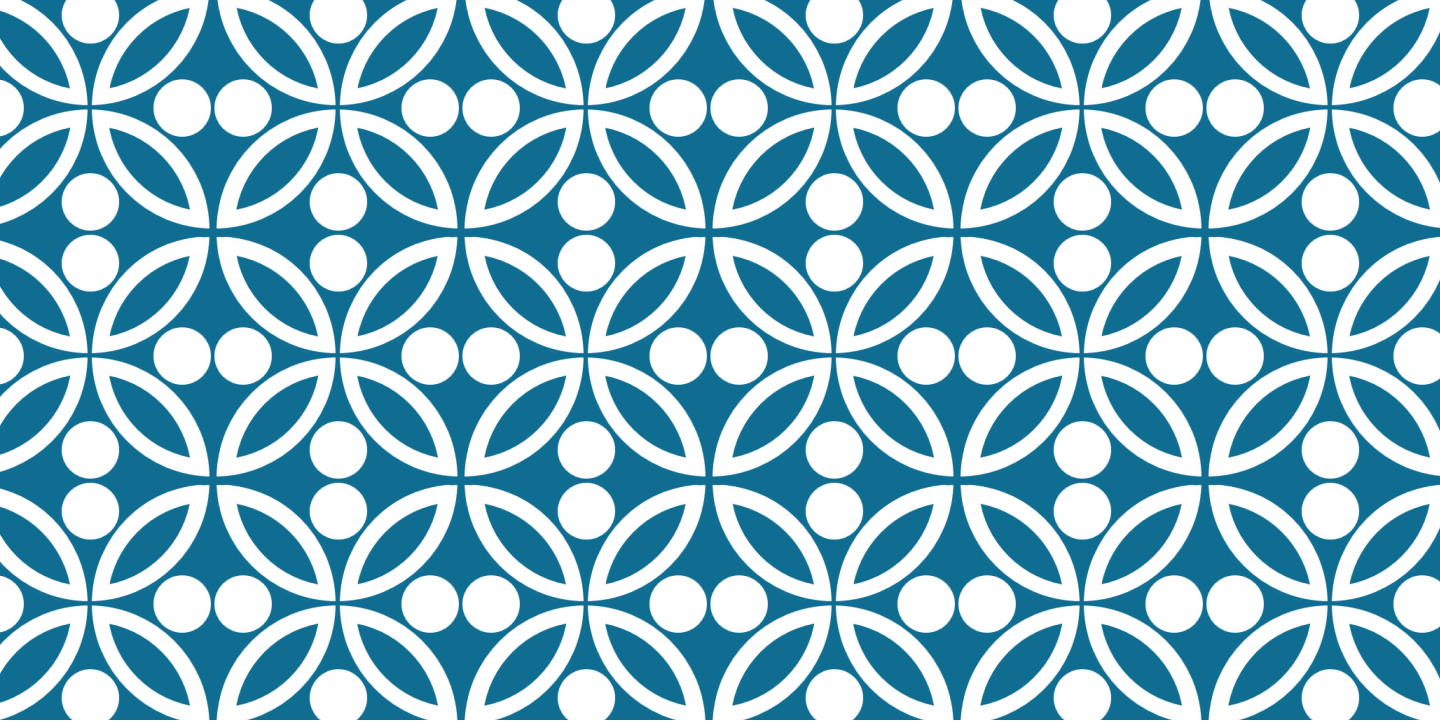


ab \ s	00	01	11	10
0			1	1
1		1	1	

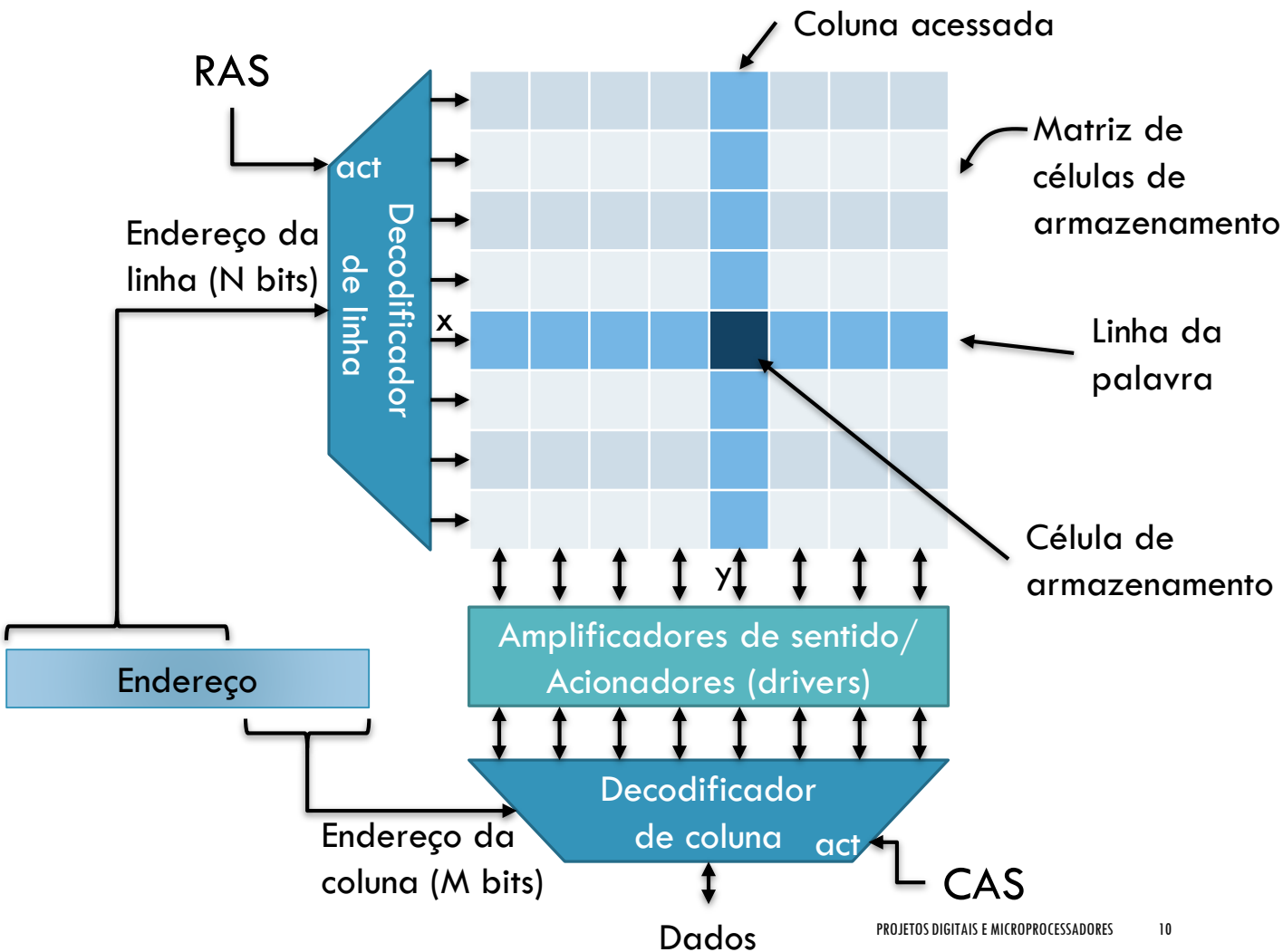
Muitos glitches podem ser eliminados facilmente adicionando mais portas lógicas

$$C = SB + \bar{S}A + AB$$

ab \ s	00	01	11	10
0			1	1
1		1	1	



CÉLULAS DE MEMÓRIA DE LEITURA E ESCRITA (RAM)



INTRODUÇÃO (1)

Maior parte de uma pastilha de memória é ocupada pelas células de armazenamento

Logo é interesse do projetista

- Reduzir a área de cada célula o máximo possível
- Reduzir a dissipação de potência

Desta forma, os flip-flops vistos anteriormente são considerados complexos para uma RAM (random access memory – memória de leitura e escrita)

TIPOS DE RAM (1)

Memória RAM MOS Estática (SRAM)

- Utilizam latches estáticos como célula de armazenamento de informação
- Ocupam muita área na pastilha pela quantidade de transistores (6 transistores)
- Dados **armazenados indefinidamente** (estaticamente) enquanto a fonte está ligada

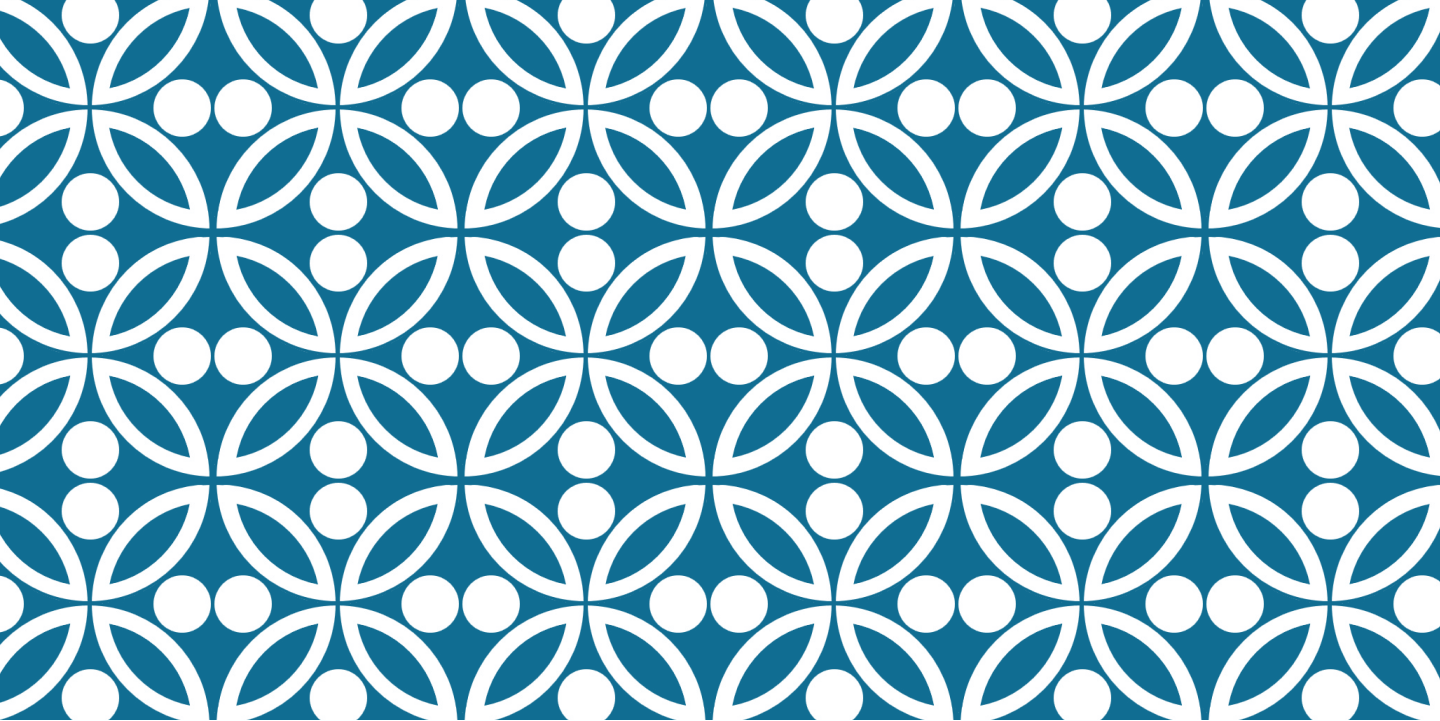
1 GB SRAM
= 48Bi
transistores

Memória RAM MOS Dinâmica (DRAM)

- Armazenam o dado binário em um capacitor
- Quantidade reduzida de transistores necessários (1 transistor, 1 capacitor)
- Aumenta a complexidade dos circuitos de leitura, escrita e refresh
- Nível lógico do **capacitor deve ser restaurado periodicamente** (refresh)

1 GB DRAM
= 16Bi
transistores

DRAM são 3~4 vezes mais densas que uma SRAM
(3x mais bits na mesma área!)

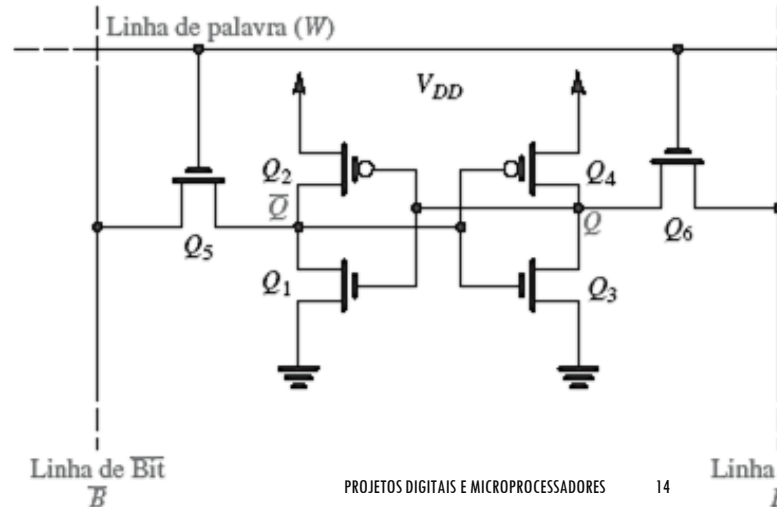


CÉLULA DE MEMÓRIA ESTÁTICA (SRAM)

CÉLULA DE MEMÓRIA CMOS SRAM

Célula RAM estática típica

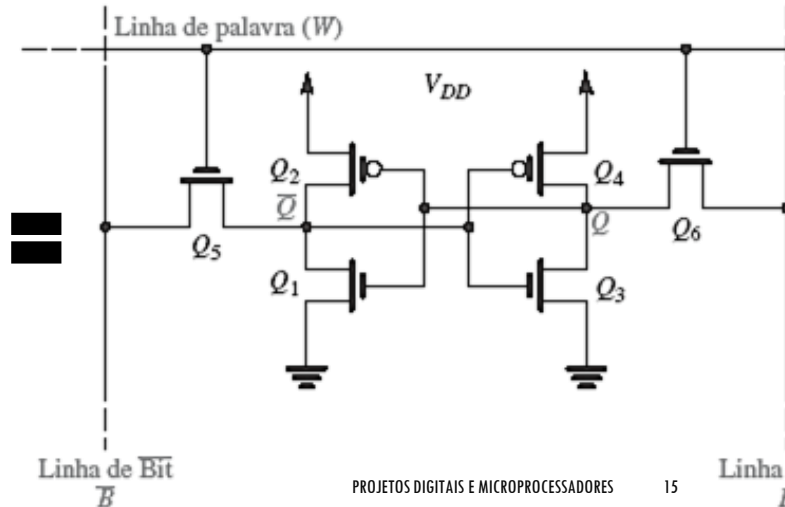
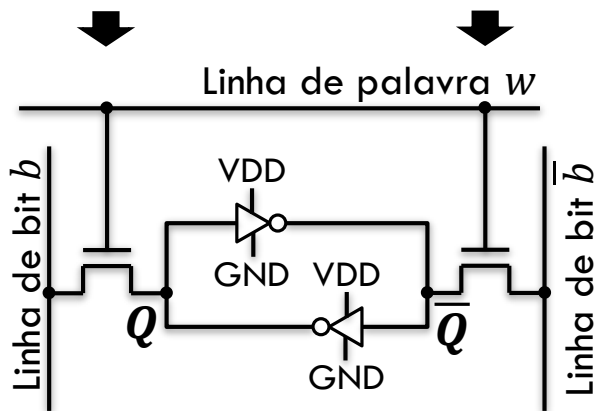
- Dois inversores de conexão cruzada
- Dois transistores de acesso (Q5 e Q6)



CÉLULA DE MEMÓRIA CMOS SRAM

Célula RAM estática típica

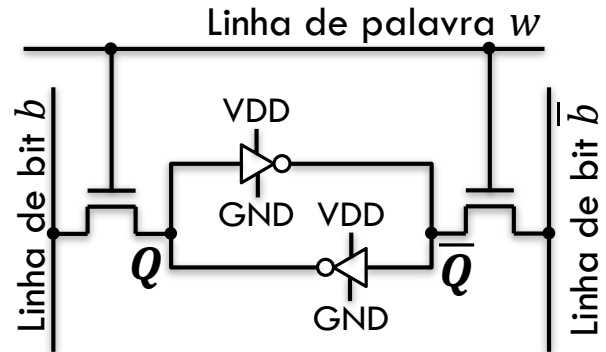
- Dois inversores de conexão cruzada
- Dois transistores de acesso (Q5 e Q6)



CÉLULA DE MEMÓRIA CMOS SRAM

Transistores de acesso conduzem quando a linha da palavra é selecionada pelo aumento da tensão para VDD

Conecta-se o flip-flop à linha de coluna b e a linha e coluna $\bar{b}$



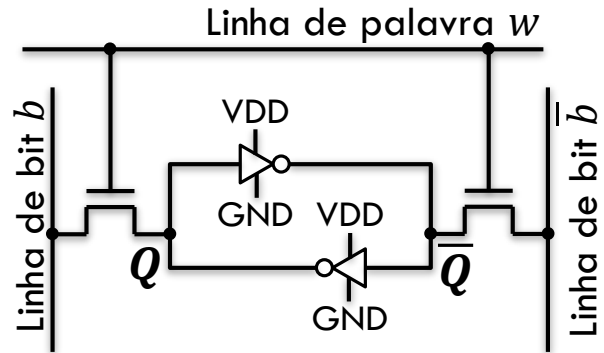


OPERAÇÃO DE LEITURA

OPERAÇÃO DE LEITURA CMOS SRAM (1)

Considere a operação de leitura e que a célula esteja armazenando “1”, neste caso:

- $Q = VDD$ e $\bar{Q} = 0V$
- Antes do início da leitura as linhas b e $\bar{b}$ possuem um valor intermediário de tensão ($VDD/2$)
- Quando a linha da palavra é selecionada, flui corrente através da linha de bit carregando a capacitância da linha b
- No outro lado do circuito, flui corrente da linha carregada $\bar{b}$



OPERAÇÃO DE LEITURA CMOS SRAM (3)

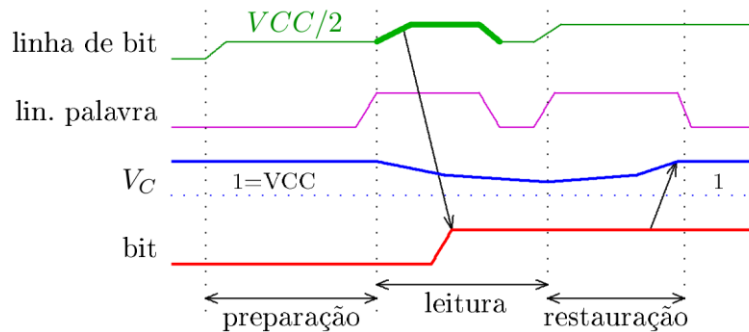
Na operação de leitura de “1” surge uma diferença de potencial entre as linhas b e $\bar{b}$

O **amplificador de sentido** detecta essa diferença de potencial para determinar a leitura de 1 na célula (0,2V são suficientes)

A célula deve ser projetada de forma que Q e $\bar{Q}$ não mudem o estado durante a operação de leitura

Q e $\bar{Q}$ são casados para tensão limiar em $V_{DD}/2$

Transistores de acesso são 2-3x mais largos que os transistores dos inversores



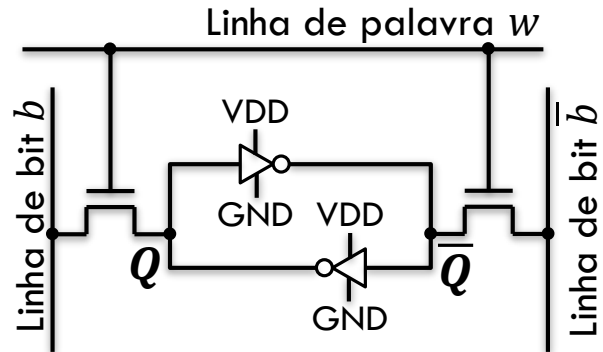


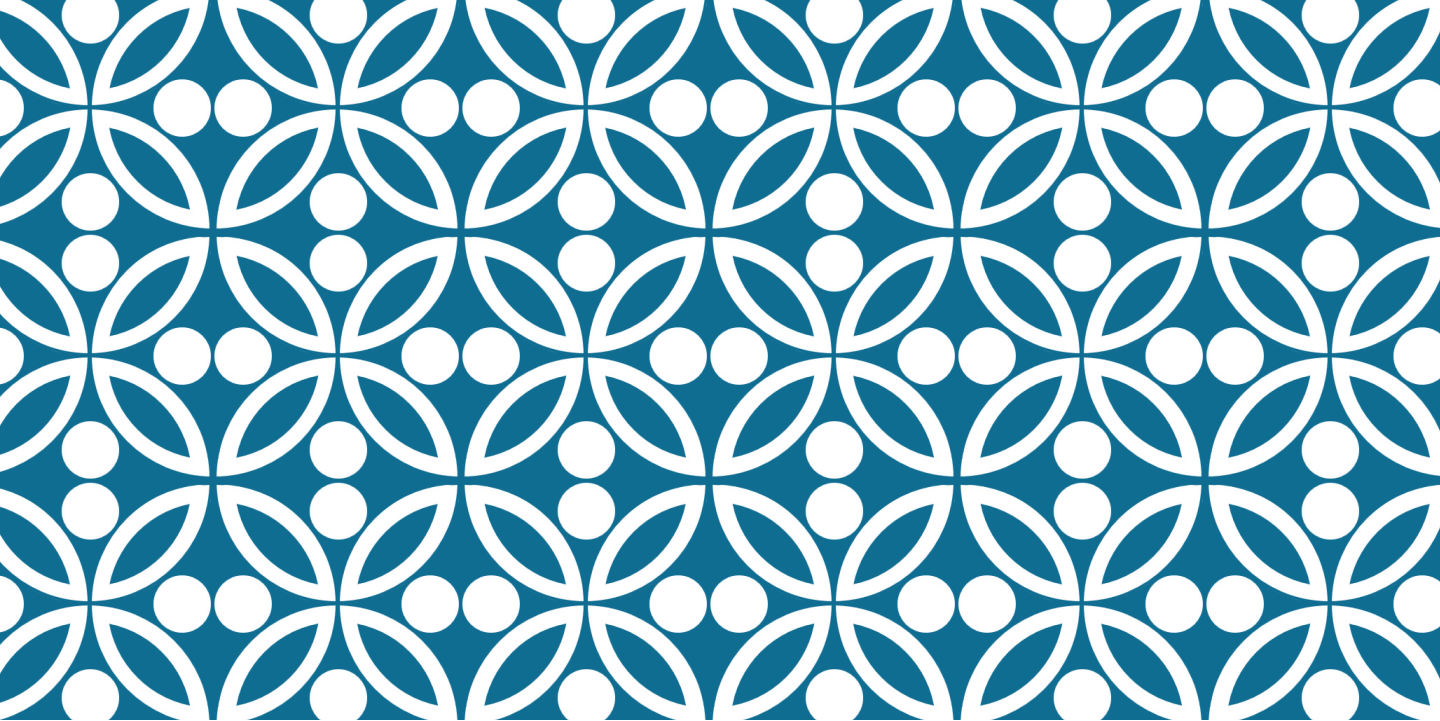
OPERAÇÃO DE ESCRITA

OPERAÇÃO DE ESCRITA CMOS SRAM (1)

Considere a operação de escrita e que a célula esteja armazenando “1” ($Q = 1$ e $\bar{Q} = 0$) e desejamos escrever “0”, neste caso:

- Linha b é abaixada para 0 e linha $\bar{b}$ é levantada para VDD
- Linha w é colocada em VDD para seleccionar a linha
- Nó $\bar{Q}$ é puxado para cima em direção a transição $VDD/2$
- Nó Q sendo puxado para baixo em direção a $VDD/2$
- A realimentação regenerativa começará assim que Q ou $\bar{Q}$ atingirem $VDD/2$





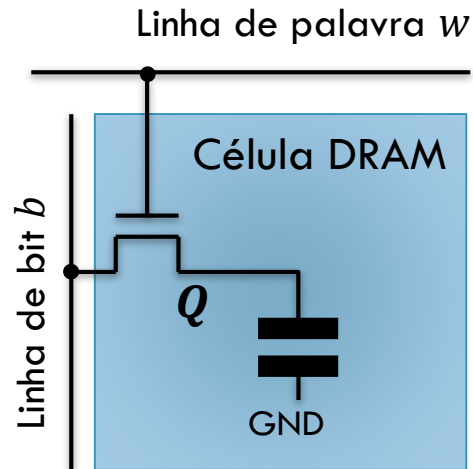
CÉLULAS DE MEMÓRIA DE ACESSO ALEATÓRIO - DINÂMICA

CÉLULA DE MEMÓRIA DINÂMICA (1)

Vários tipos de células do tipo dinâmica (DRAM) foram propostas, contudo uma célula em particular se tornou o padrão industrial, sendo:

- Transistor de acesso - Um único transistor nMOS
- Capacitor de armazenamento

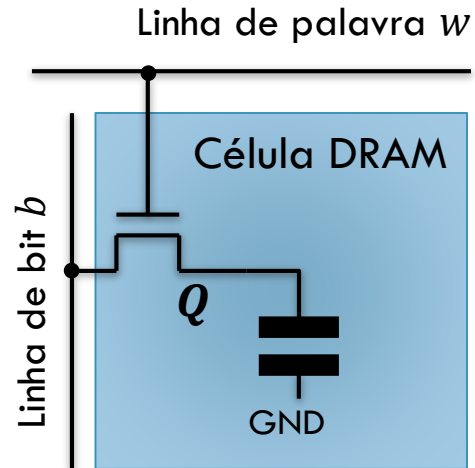
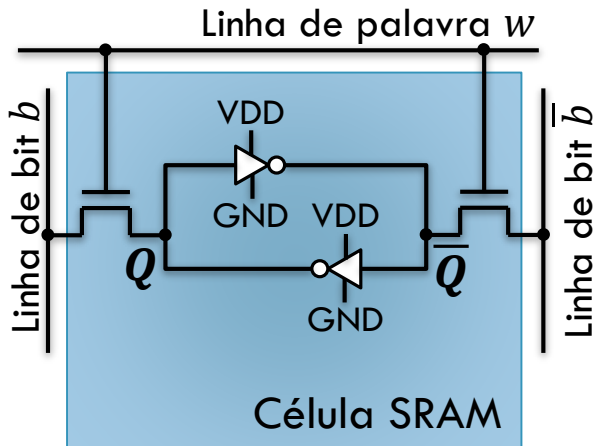
Gate do transistor é conectado à linha de palavra, dreno (ou fonte) é conectado à linha de bit



DRAM X SRAM

Circuito DRAM é relativamente mais simples

Circuito DRAM possui apenas a linha de bit (b)
(SRAM possui a linha b e a linha $\bar{b}$)



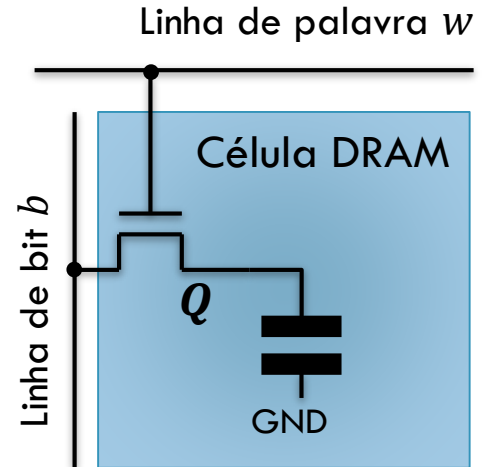
CÉLULA DE MEMÓRIA DINÂMICA (2)

A célula DRAM armazena seu bit de informação como carga no capacitor

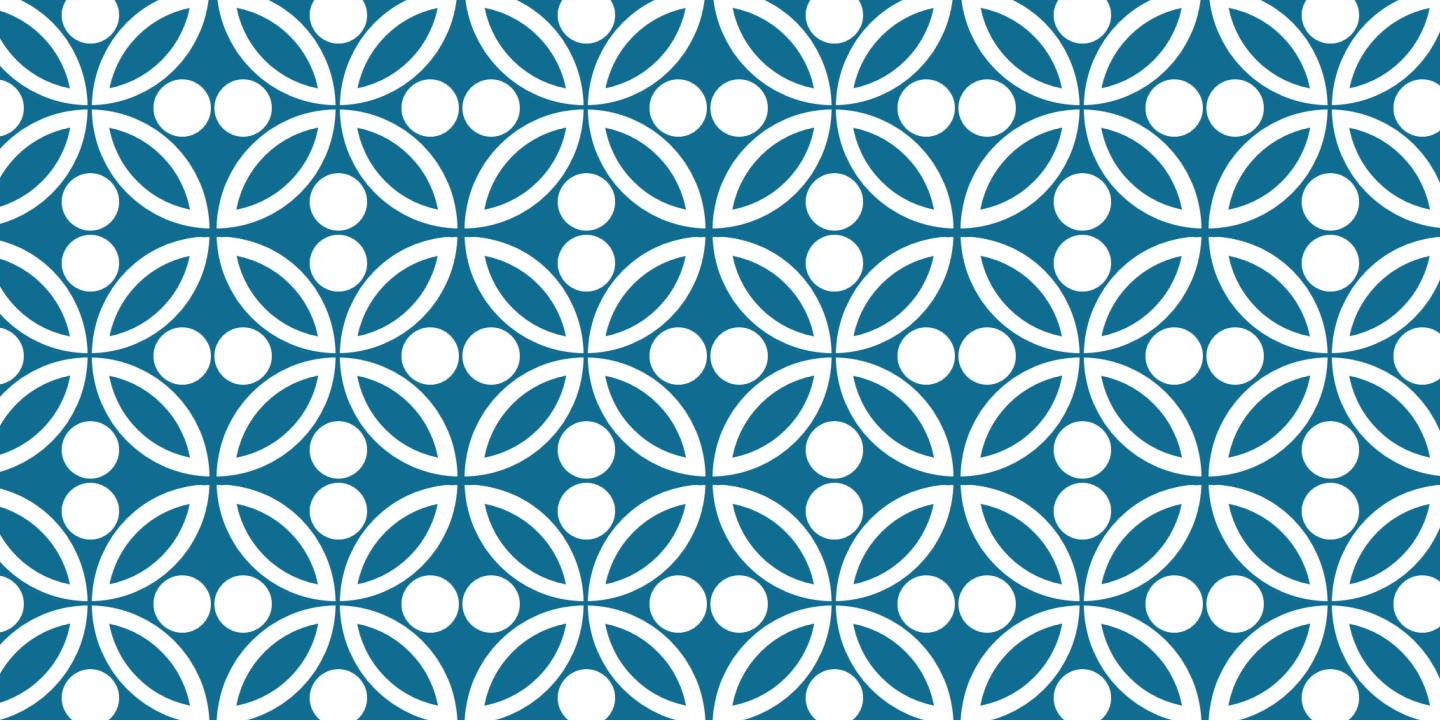
- Quando nível lógico “1” o capacitor está carregado com VDD
- Quando nível lógico “0” o capacitor está descarregado à tensão de zero.

Devidos aos efeitos de fuga do capacitor, sua carga vai se reduzindo

- Célula precisa ser regenerada periodicamente pela operação de restauração (refresh)
- Acontece a cada 50 a 60 ms



Capacitor perde carga pois a célula é minúscula e o isolamento é ruim

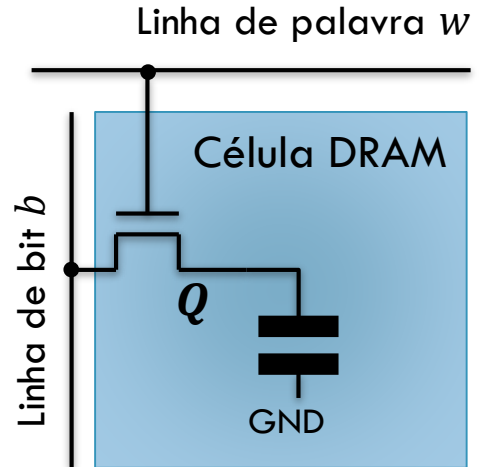


OPERAÇÃO DA MEMÓRIA DRAM

OPERAÇÃO DA MEMÓRIA DRAM

Decodificador de linha eleva a tensão da linha de palavra de interesse

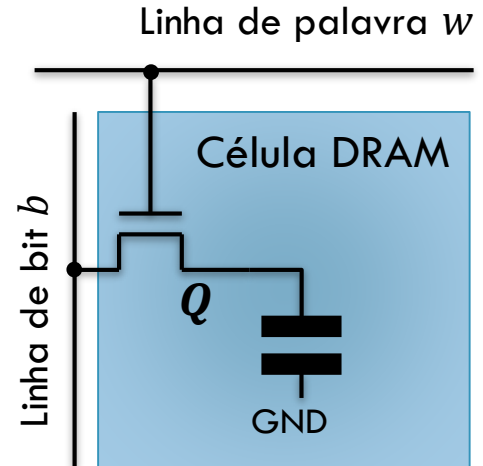
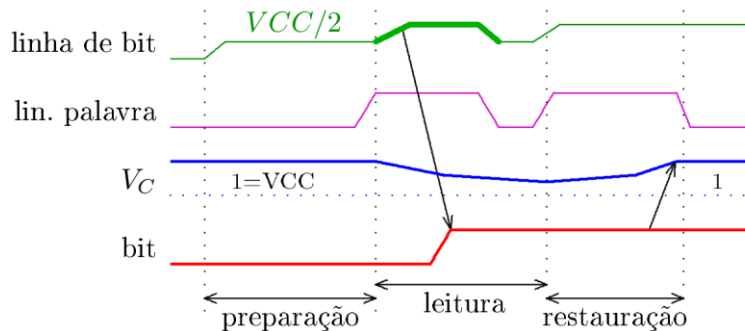
Todos os transistores de acesso (Q) da linha selecionada passam a conduzir



OPERAÇÃO DA MEMÓRIA DRAM

Todos os capacitores de armazenamento são conectados as suas respectivas linhas de bit

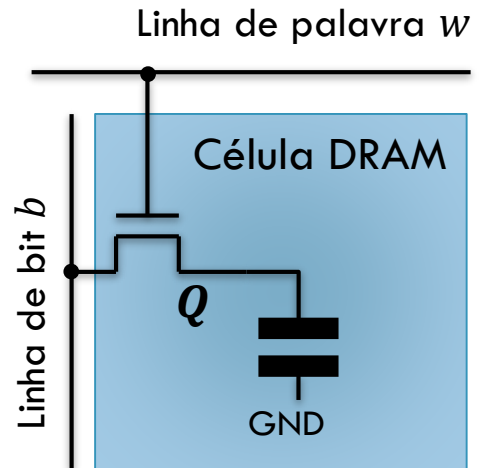
Linha de bit é pré-carregada em $V_{DD}/2$.



OPERAÇÃO DE LEITURA DRAM (5)

O processo de leitura é destrutivo já que a tensão não será mais VDD ou 0.

- A variação da tensão na linha é detectada e amplificada pelo sensor da coluna
- O sinal amplificado é aplicado ao capacitor de armazenamento, restaurando o nível apropriado
- Simultaneamente o sinal amplificado é levado a linha de dados de saída da pastilha



OPERAÇÃO DE ESCRITA DRAM (5)

Similar a operação de leitura (restauração do valor)

O bit de dados que deve ser escrito está aplicado a linha de entrada de dados

- É aplicado a linha da palavra selecionada pelas linhas de coluna

Caso o valor a ser escrito seja “1”

- Linha de coluna é elevada até VDD (Capacitor = VDD)
- Quando transistor de acesso é ligado, capacitor é carregado até VDD

Caso o valor a ser escrito seja “0”

- Linha de coluna é descarregada (Capacitor = GND)
- Quando transistor de acesso é ligado, capacitor é descarregado até 0

RESTAURAÇÃO (REFRESH)

Operação de leitura e escrita restauram automaticamente o valor armazenado em toda a linha selecionada

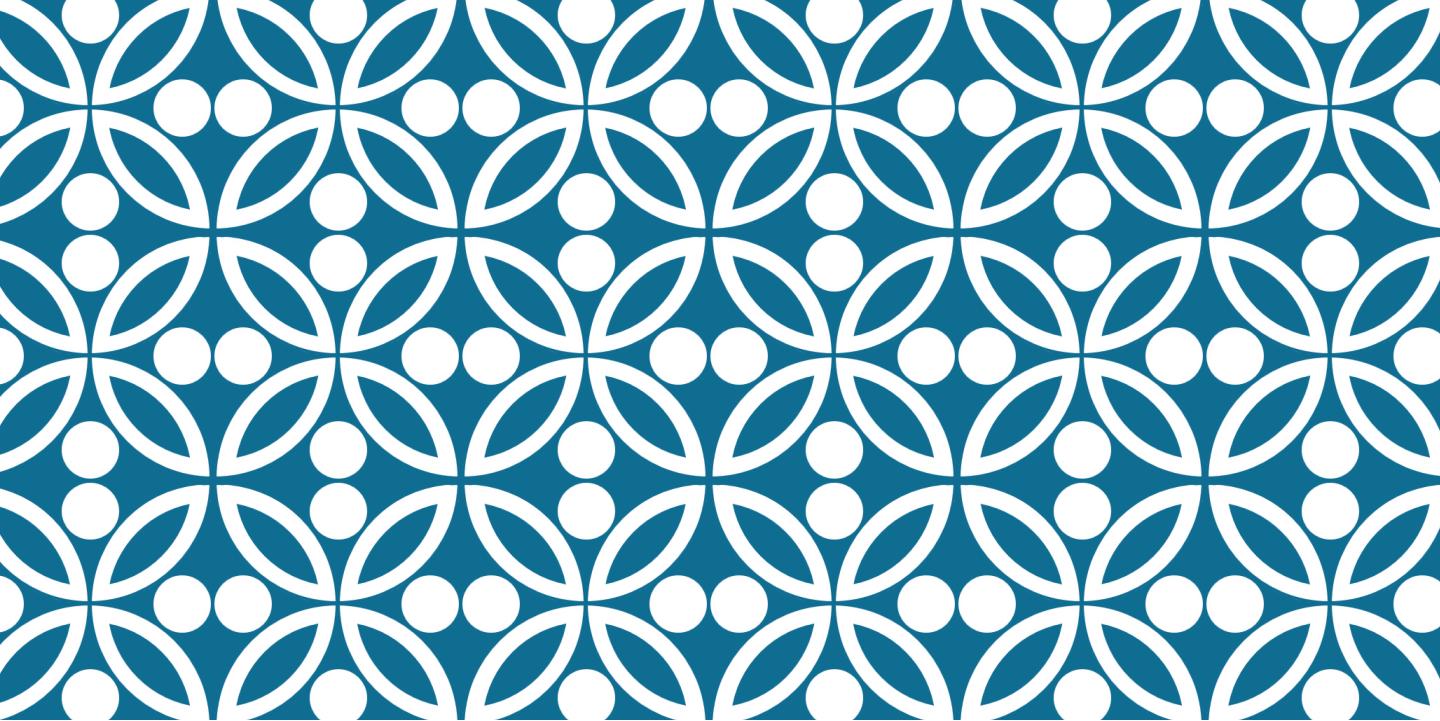
Memória inteira deve ser restaurada entre 50 a 60ms

Realizada em modo rajada (burst), uma linha por vez

Durante o refresh não é possível realizar escrita o leitura

Restaurar a pastilha inteira demora menos que 2% do tempo entre os ciclos de restauração

98% do tempo ela está disponível para operação normal



AMPLIFICADORES DE SINAL

Aula 8

AMPLIFICADORES DE SINAL (SENSE AMPLIFIER)

Componentes mais crítico em uma célula de memória (depois da célula de memória em si)

Amplificador de sinal gera um sinal lógico de chaveamento pleno (“0” ou “1”)

Reque as linhas de dados Q e $\bar{Q}$

Pode ser utilizado diretamente em SRAM (linhas b e $\bar{b}$)

Para ser utilizando em uma DRAM precisa do uso da técnica da “célula fictícia” (dummy cell)

AMPLIFICADORES DE SINAL

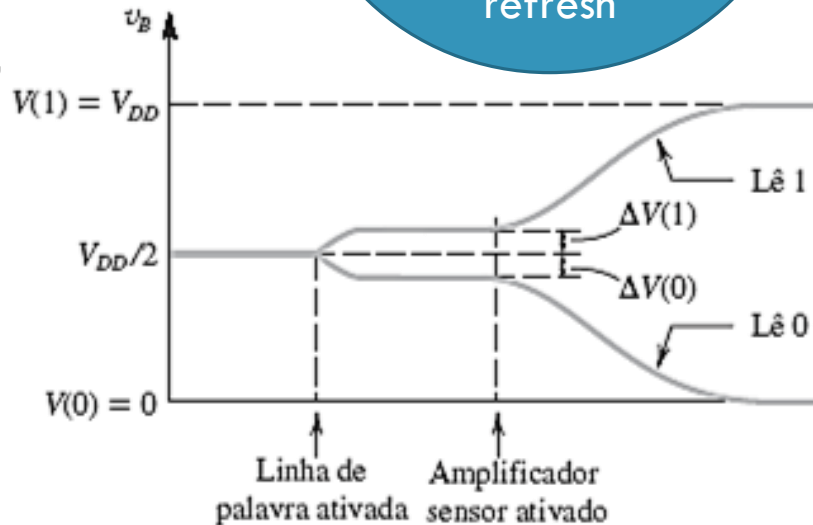
Amplificador deve detectar a pequena diferença de tensão que surge entre $\bar{b}$ e b

- Amplificar essa diferença e fornecer um sinal pleno “0” ou “1”

Exemplo: leitura de 1

- Surge pequena diferença positiva entre b e $\bar{b}$
- Amplificador faz com que b suba até V_{DD} e $\bar{b}$ desça a GND
- Essa saída 1 é direcionada para o pino de E/S da saída
- Ao mesmo tempo é usada para reescrever 1 na célula RAM (restauração)

Teoricamente
linhas que
sofreram leitura
podem esperar
mais até
precisar de
refresh



AMPLIFICADORES DE SINAL

Para células DRAM, adicionalmente é inserido uma célula fictícia em cada pedaço da linha de bit

Célula fictícia funciona como outra metade de uma célula DRAM

As células fictícias (dummy) são carregados em $VDD/2$

A célula selecionada gerará um incremento (ou decremento) de tensão na linha de bit.

Essa variação de tensão na linha de bit irá iniciar o processo de realimentação positiva no amplificador de sinal

