

Lista 1 - CMOS e Atraso

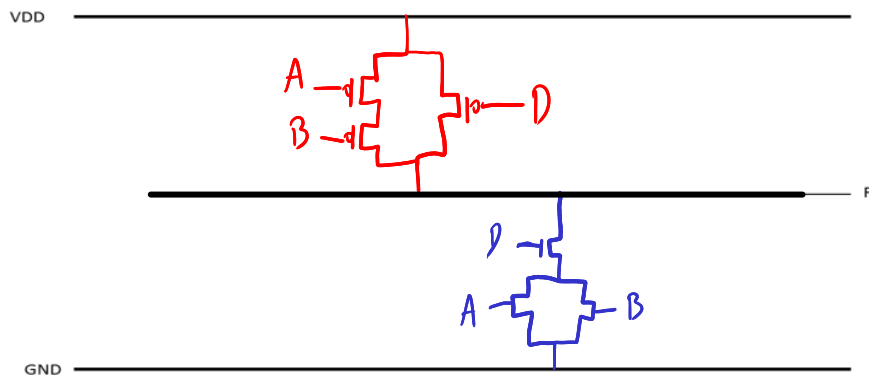
Daniel Oliveira

Exercício 1. Projete um circuito com transistores CMOS com as redes pull-down e pull-up para implementar a seguinte função: $R = \overline{(A+B)} \cdot \overline{D}$. Caso seja necessário, você poderá utilizar sinais complementares, ex. A e $\overline{A}$

$$\overline{R} = \overline{(A+B) \cdot D}$$

$$\overline{R} = \overline{(A+B)} + \overline{D}$$

PULL DOWN



$$R = \overline{(A+B)} \cdot \overline{D}$$

$$R = \overline{A+B} + \overline{D}$$

$$R = \overline{A} \cdot \overline{B} + \overline{D}$$

PULL UP

Exercício 2. Projete um circuito com transistores CMOS com as redes pull-down e pull-up para implementar a seguinte função: $R = \overline{(A+B)} \cdot \overline{(C+D)}$. Caso seja necessário, você poderá utilizar sinais complementares, ex. A e $\overline{A}$

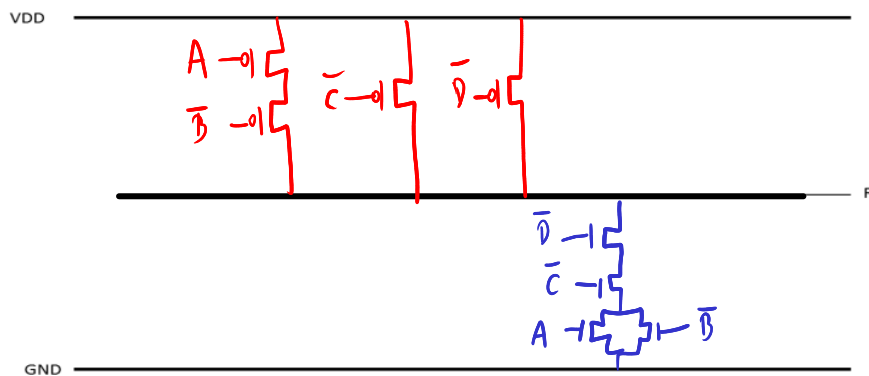
$$\overline{R} = \overline{(A+B) \cdot (C+D)}$$

$$\overline{R} = \overline{(A+B)} + \overline{(C+D)}$$

$$\overline{R} = \overline{(A+B)} \cdot \overline{(C \cdot D)}$$

$$\overline{R} = \overline{(A+B)} \cdot \overline{C} \cdot \overline{D}$$

PULL DOWN



$$R = \overline{(A+B)} \cdot \overline{(C+D)}$$

$$R = \overline{(A+B)} + \overline{(C+D)}$$

$$R = \overline{(A \cdot B)} + (C+D)$$

$$R = (\overline{A} \cdot \overline{B}) + C + D$$

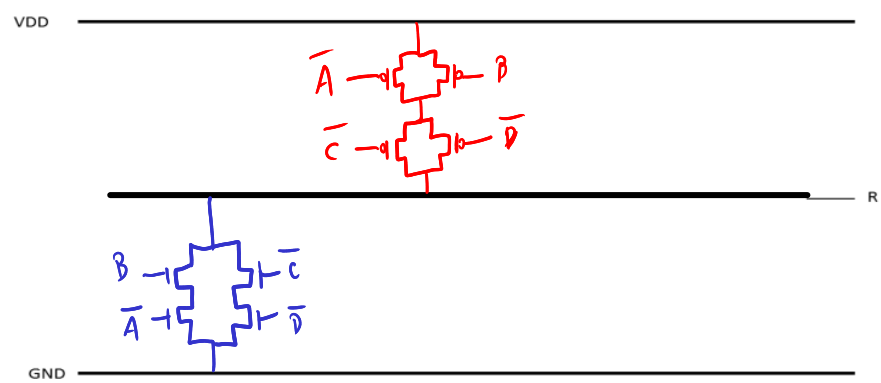
PULL UP

Exercício 3. Projete um circuito com transistores CMOS com as redes pull-down e pull-up para implementar a seguinte função: $R = \overline{(A \cdot B)} + \overline{(C+D)}$. Caso seja necessário, você poderá utilizar sinais complementares, ex. A e $\overline{A}$

$$\overline{R} = (\overline{A \cdot B}) + (\overline{C + D})$$

$$\overline{R} = (\overline{A \cdot B}) + (\overline{C \cdot D})$$

PULL DOWN



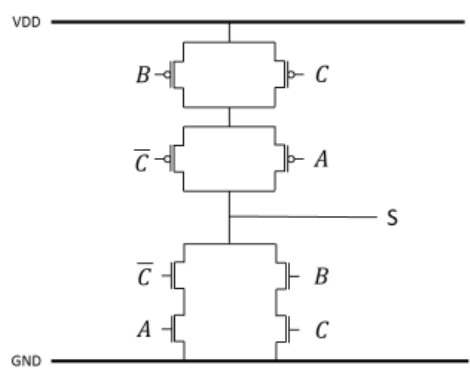
$$R = (\overline{A \cdot B}) + (\overline{C + D})$$

$$R = (\overline{A \cdot B}) \cdot (\overline{C + D})$$

$$R = (A + B) \cdot (C + D)$$

PULL UP

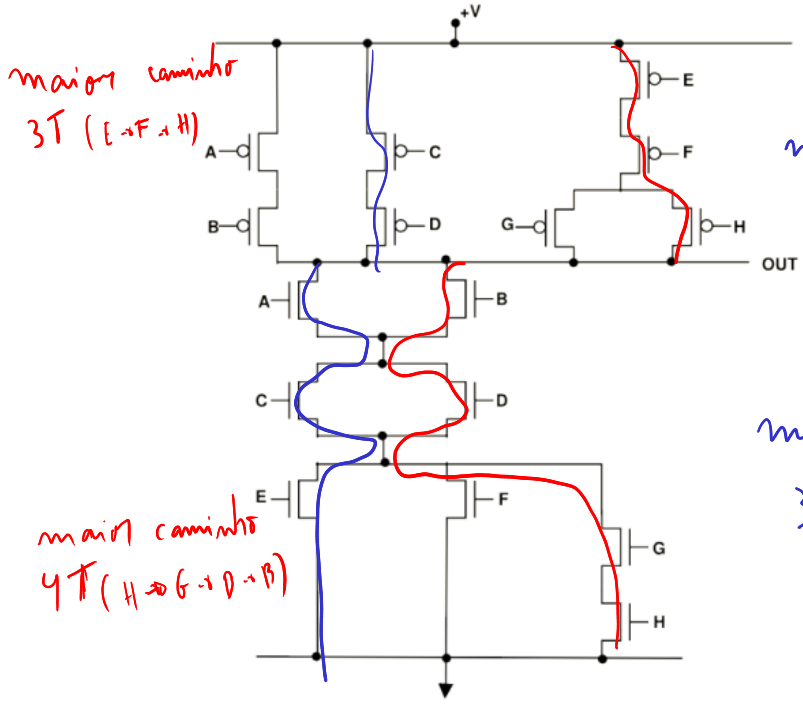
Exercício 4. Preencha a tabela verdade referente a operação do seguinte circuito CMOS.



A	B	C	S
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

Exercício 5. Considerando que cada transistor do tipo N ou P possuem um atraso de propagação igual a 80ps e tempo de contaminação igual a 40ps. Calcule o tempo de propagação e de contaminação para o circuito abaixo.

Obs: Não se esqueça de calcular para a rede pull-up e pull-down para comparar e decidir as latências.



maior caminho
3T (E → F → H)

maior caminho
4T (H → G → D → B)

$$T_{\text{Propagação}} = 4 \cdot 80 \text{ ps} = 320 \text{ ps}$$

menor caminho

$$2T(C \rightarrow D) T_{\text{Contaminação}} = 2 \cdot 40 \text{ ps} = 80 \text{ ps}$$

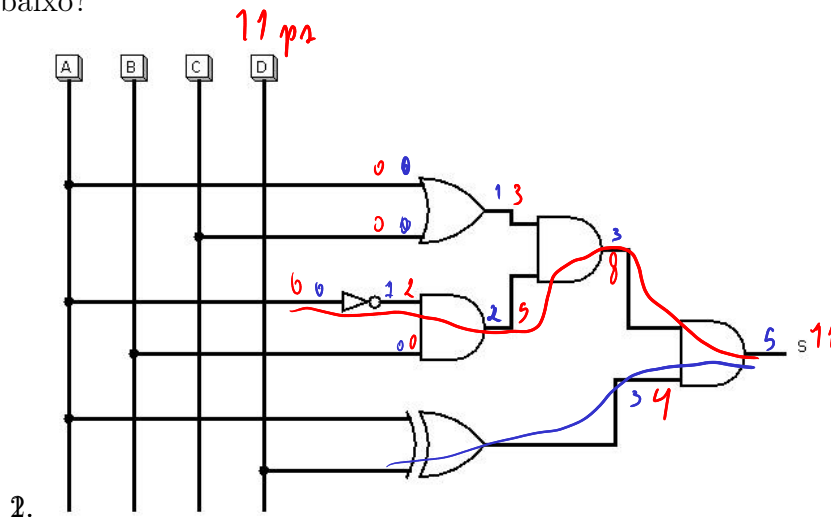
menor caminho

$$3T(A \rightarrow C \rightarrow E)$$

Exercício 6. Considerando que cada porta lógica possui os seguintes atrasos de propagação e contaminação:

Porta	Atraso de propagação (ps)	Atraso de contaminação (ps)
NOT	2	1
AND	3	2
OR	3	1
XOR	4	3

[(a)] Qual o tempo de propagação do circuito abaixo? Qual o tempo de contaminação do circuito abaixo?



Exercício 7. Considerando que cada porta lógica possui os seguintes atrasos de propagação e contaminação:

Porta	Atraso de propagação (ps)	Atraso de contaminação (ps)
NOT	2	1
AND	3	2
NAND	4	3

[(a)] Qual o tempo de propagação do circuito abaixo? Qual o tempo de contaminação do circuito abaixo?

