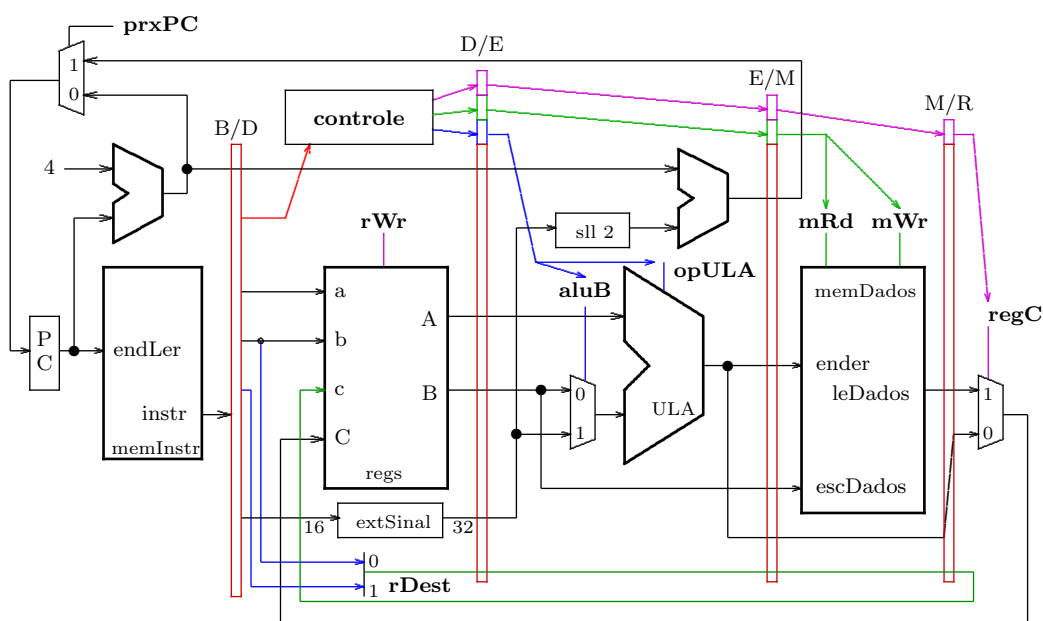


**UFPR – Depto de Informática – BCC**  
**CI086 – Tópicos em Arquitetura de Computadores**  
**2004-1**

**Primeira Prova**

1) Você tem 18 CIs SRAM de 32Kx16bit para construir uma cache de instruções para um processador com endereços de 64 bits. Qual é o maior tamanho (capacidade de armazenamento de dados, em bytes) de uma cache de instruções com mapeamento direto que se pode construir com blocos de uma palavra de 64 bits? Desenhe um diagrama mostrando como as linhas de endereços da cache são mapeadas nas linhas de endereços dos CIs – o diagrama deve mostrar a organização da cache e o número de bits nos diversos sinais, bem como indicar a função dos CIs de memória. É possível que sobrem CIs. [15 pontos]

2) Considere um processador que executa uma instrução por ciclo (CPI=1.0) se ligado a um sistema de memória ideal e perfeito. O relógio do processador é 1GHz. A hierarquia de memória possui uma cache, com tempo de acerto de 1 ciclo (1ns). Cada bloco da cache tem capacidade para 8 palavras; a escrita é forçada e o barramento entre cache e memória têm 2 palavras de largura. A busca de instruções nunca causa faltas. Calcule o CPI deste processador quando ligado ao sistema de memória descrito abaixo, se a taxa de acertos na cache de dados é de 95% quando o processador executa código com um padrão de acessos com 25% de escritas e 75% de leituras e 40% das instruções são referências à dados. O tempo de acesso à memória é 45 ciclos, é necessário um ciclo para transmitir o endereço, e cada transferência (2 palavras) custa um ciclo. [15 pontos]



3) Considere a execução do trecho de programa abaixo no processador segmentado do diagrama. Quantos ciclos serão necessários para executar este trecho de código? Desenhe um diagrama que mostra as dependências, e outro diagrama que mostra como o código será executado (mostrando as bolhas e/ou adiamento). [10 pontos]

```
add r5, r6, r7
lw r6, 100(r7)
sub r7, r6, r8
```

**Segunda Prova**

1) Mostre como o trecho de código abaixo seria escalonado dinamicamente para execução no processador do diagrama em anexo. O processador é capaz de emitir 2 instruções de inteiro

(inclusive LD/ST) e 1 de ponto flutuante a cada ciclo. A janela de observação é infinita. Considere somente uma volta do laço. Quantos ciclos são necessários? [15 pontos]

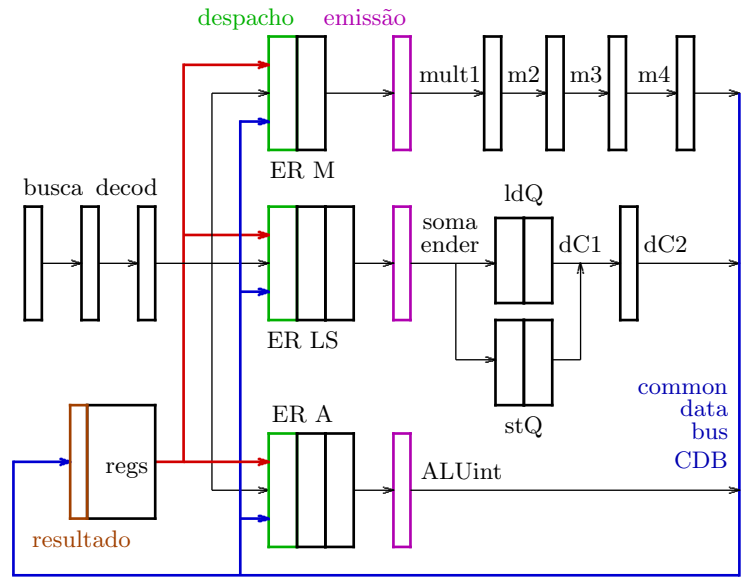
<pre> loop: ld.d f1, 0(r4)       ld.d f2, 0(r6)       mult.d f1,f1,f9      # f9 escalar       add.d f0,f2,f1       st.d f0,0(r8)       addi r4,r4,8       addi r6,r6,8       addi r8,r8,8       bne r8,r9,loop      # r9 limite                     </pre>	<table border="1"> <thead> <tr> <th>produtor</th> <th>consumidor</th> <th>ciclos</th> </tr> </thead> <tbody> <tr> <td>unFP</td> <td>unFP</td> <td>4</td> </tr> <tr> <td>memRD</td> <td>unFP</td> <td>2</td> </tr> <tr> <td>unFP</td> <td>memST</td> <td>1</td> </tr> <tr> <td>int/LD</td> <td>int/ST</td> <td>0</td> </tr> </tbody> </table>	produtor	consumidor	ciclos	unFP	unFP	4	memRD	unFP	2	unFP	memST	1	int/LD	int/ST	0
produtor	consumidor	ciclos														
unFP	unFP	4														
memRD	unFP	2														
unFP	memST	1														
int/LD	int/ST	0														

formato da resposta			
ciclo	INT	INT	PF
1			
2			

2) Quais as diferenças entre (i) barramento síncrono, (ii) barramento assíncrono, e (iii) barramento com transações desmembradas (*split transaction*)? [5 pontos]

4) Qual a diferença, em termos de desempenho, das políticas de roteamento (i) armazenar e encaminhar (*store and forward*), (ii) corte transversal (*cut-through*), e (iii) wormhole? [5 pontos]



3) Considere um multiprocessador simétrico com 4 processadores interligados por um barramento. As caches são mantidas coerentes por um protocolo de invalidação, cuja máquina de estados está no diagrama em anexo. Os blocos das caches são de 8 palavras de 32 bits. Qual o estado final das caches, supondo o estado inicial mostrado abaixo, e a execução dos seguintes comandos pelos três processadores. Os comandos estão mostrados na ordem absoluta de tempo, os índices nos blocos das caches são irrelevantes, e as caches são infinitas. [15 pontos]

P0: <span style="border: 1px solid black; padding: 2px;">EXCL   v[0]..v[7]</span>	P1: <span style="border: 1px solid black; padding: 2px;">SHAR   u[0]..u[7]</span>	P2: <span style="border: 1px solid black; padding: 2px;">SHAR   u[0]..u[7]</span>
---	---	---

P0	P1	P2
...	...	for(i=0; i<7; i++)
...	...	t[i] = u[i] * v[i];
...	...	...
...	v[6] = 0;	...
...	...	...
a=0;	...	...
for(j=0; j<7; j++)	...	...
a = a + t[j] + v[j+4];	...	...

**Exame Final**

1) Mostre como o trecho de código abaixo seria escalonado dinamicamente para execução no processador do diagrama. O processador é capaz de emitir duas instruções de inteiro (inclusive LD/ST) e duas de ponto flutuante a cada ciclo. A janela de observação é infinita. Considere

duas voltas do laço. Quantos ciclos são necessários para completar as instruções das duas voltas?  
[30 pontos]

<pre> loop: ld.d f6, 0(r2)       ld.d f2, 0(r3)       mul.d f0,f2,f9    # f9 escalar       div.d f8,f2,f6       st.d f8, 0(r3)       st.d f0, 0(r2)       addi r2,r2,8       addi r3,r3,8       addi r4,r4,-1       bnz r4,loop      # r4 limite           </pre>	<table style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; border-bottom: 1px solid black;">produtor</th> <th style="text-align: left; border-bottom: 1px solid black;">consumidor</th> <th style="text-align: left; border-bottom: 1px solid black;">ciclos</th> </tr> </thead> <tbody> <tr> <td>unPF</td> <td>unPF</td> <td>3</td> </tr> <tr> <td>LD</td> <td>unPF</td> <td>2</td> </tr> <tr> <td>unPF</td> <td>ST</td> <td>1</td> </tr> <tr> <td>int/LD</td> <td>int/ST</td> <td>0</td> </tr> </tbody> </table> <p style="text-align: center; margin-top: 5px;">ld.d, st.d contam como inteiros</p>	produtor	consumidor	ciclos	unPF	unPF	3	LD	unPF	2	unPF	ST	1	int/LD	int/ST	0
produtor	consumidor	ciclos														
unPF	unPF	3														
LD	unPF	2														
unPF	ST	1														
int/LD	int/ST	0														
	<p><b>formato da resposta</b></p> <table style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; border-bottom: 1px solid black;">ciclo</th> <th style="text-align: left; border-bottom: 1px solid black;">INT</th> <th style="text-align: left; border-bottom: 1px solid black;">INT</th> <th style="text-align: left; border-bottom: 1px solid black;">PFmul</th> <th style="text-align: left; border-bottom: 1px solid black;">PFdiv</th> </tr> </thead> <tbody> <tr> <td>1</td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>2</td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	ciclo	INT	INT	PFmul	PFdiv	1					2				
ciclo	INT	INT	PFmul	PFdiv												
1																
2																

2) Considere a influência do desempenho de duas organizações de cache no desempenho de um processador. O CPI com uma cache perfeita é 2.0, o ciclo é de 1 ns, ocorrem 1.5 referências à memória por instrução, ambas as caches tem 64 Kbytes, e ambas tem blocos de 64 bytes. Uma cache tem mapeamento direto, e a outra associatividade binária (2 conjuntos). O ciclo do relógio do processador com a cache associativa é 1.25 ns. O tempo de acerto na cache é de 75 ns, embora este intervalo deva ser um número inteiro de ciclos do relógio. Suponha que o tempo de acerto (*hit time*) seja um ciclo, a taxa de faltas da cache com mapeamento direto é 1.5%, e para a cache associativa é 1.0%. (i) Calcule o tempo médio de acesso à memória para as duas caches. (ii) Calcule o desempenho do processador com as duas caches. [30 pontos]

$$T_{\text{cpu}} = IC \times CPI \times T_{\text{ciclo}}$$

3) Quais as diferenças, com relação ao desempenho global do sistema, entre a sincronização com uma *barreira* com N processos em (i) um multiprocessador com memória fisicamente compartilhada (através de um barramento), e (ii) um multiprocessador com memória logicamente compartilhada mas fisicamente distribuída pelos nós de uma rede? [10 pontos]

4) Escreva a equação do tempo de acesso para leitura de um setor num disco e (i) explique sucintamente a contribuição de cada termo para o desempenho global do sistema de E/S, e (ii) indique um mecanismo e/ou política para melhorar o desempenho do sistema de E/S. [20 pontos]

5) Escreva a equação da latência total para transmitir uma mensagem e explique sucintamente cada um de seus termos. [10 pontos]