

Ex. 1 Por que um compilador transformaria o código da versão 1 (v1) no código da versão 2 (v2)? Justifique sua resposta. Note que o contexto da resposta deve ser memória virtual.

```
/* v1 */
for (j=0; j < 1024; j++)
    for (i=0; i < 100; i++)
        x[i][j] = x[i][j] + K;

/* v2 */
for (i=0; i < 100; i++)
    for (j=0; j < 1024; j++)
        x[i][j] = x[i][j] + K;
```

Ex. 2 Escreva a expressão do Tempo Médio de Acesso à Memória para uma hierarquia com uma cache primária unificada, uma cache secundária, memória DRAM e disco.

Ex. 3 Faça um diagrama detalhado de uma cache de mapeamento de endereços (TLB) com 64 blocos e associatividade quaternária. Cada bloco contém um mapeamento, o processador emite endereços de 32 bits, e o endereço físico possui 36 bits. Páginas virtuais tem 4Kbytes. Qual o tamanho da Tabela de Páginas em memória? Indique como um endereço é interpretado pelo controlador da TLB. Indique o mecanismo de reposição de blocos num mesmo conjunto.

Ex. 4 Mostre como organizar a Tabela de Páginas do exercício anterior em dois e em três níveis. Escreva, em pseudocódigo, uma função com o protótipo abaixo que percorre uma tabela de páginas de dois níveis e retorna '1' se a página está em memória, ou '0' numa falta. O endereço físico é atribuído à *enderfis num acerto. Explícite quaisquer suposições que forem necessárias.

```
int buscatp( void *basetp, void* endervirt, void** enderfis );
```

Ex. 5 Um sistema de memória virtual tem páginas de 1024 palavras, oito páginas virtuais e quatro páginas físicas. Num dado instante, a tabela de páginas está na seguinte condição:

Pg virtual	0	1	2	3	4	5	6	7
Pg fisica	3	1	-	-	2	-	0	-

(a) faça uma lista de todos os endereços virtuais (endereço de palavra) que podem causar uma falta de página (indique as faixas de endereços); (b) quais são os endereços em memória física para os seguintes endereços virtuais: 0, 3728, 1023, 1024, 1025, 4096?

Ex. 6 A seguinte seqüência de números de páginas virtuais ocorre durante a execução de um programa: 3 4 2 6 4 7 1 3 2 6 3 5 7 4

Suponha que a política de substituição de páginas é LRU. Calcule a taxa de acerto em páginas (número de acertos dividido pelo número de referências), para uma memória física com quatro páginas físicas.

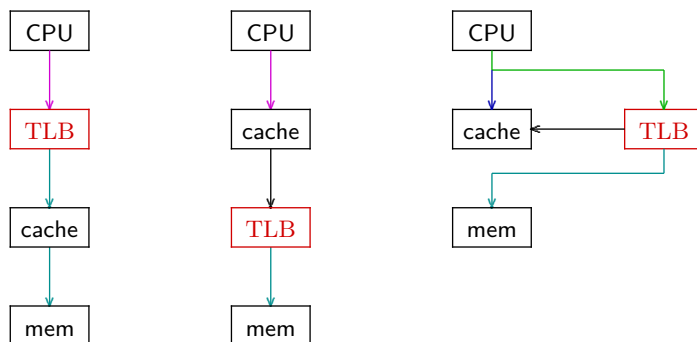
Ex. 7 Considere o programa de multiplicação de matrizes abaixo. Suponha que as matrizes contém 1024x1024 elementos, cada elemento um double (8 bytes). O programa é executado num único processador com páginas de 8Kbytes. (a) Descreva o comportamento do sistema de memória virtual durante a execução deste programa; (b) Sugira uma ou mais maneiras de melhorar o desempenho da multiplicação de matrizes, envolvendo somente paginação.

```
for (i = 0; i < 1024; i++) {
    for (j = 0; j < 1024; j++) {
        for (sum = 0, k = 0; k < 1024; k++)
            sum += a[i][k] * b[k][j];
        c[i][j] = sum;
    }
}
```

Ex. 8 Considerando os padrões de referências a código e dados dos programas, qual a melhor organização para a/s cache/s de mapeamentos de endereços (TLBs)? Justifique sua resposta.

Ex. 9 Desenhe um diagrama de uma hierarquia de memória com caches primárias divididas, cache secundária unificada, cache de mapeamentos de endereços dividida, memória principal (DRAM) e discos. Descreva todas as seqüências de eventos possíveis de ocorrer (acertos e faltas) nesta hierarquia de memória. Dê uma indicação aproximada da duração de cada evento, em número de ciclos do processador.

Ex. 10 Os diagramas abaixo mostram três organizações possíveis para sistemas com caches e memória virtual (TLBs). As setas representam somente as linhas de endereço. (a) Para cada um dos modelos A,B,C, indique claramente quais são endereços físicos e quais são endereços virtuais. (b) Para cada um dos modelos, descreva clara e sucintamente a seqüência de eventos associados a um *acerto* e a uma *falta* na cache. (2) Discuta as vantagens e desvantagens de cada um dos três modelos, do ponto de vista da execução de vários processos.



Ex. 11 Considere um sistema de memória virtual com as seguintes características: (i) endereço virtual de 32 bits (endereço de byte); (ii) páginas com 4Kbytes; e (iii) endereço físico com 38 bits. A tabela deve conter bits de válido, read-only, executável, sujo e usado. (a) Qual é o tamanho de uma tabela de páginas linear nesta máquina? (b) Mostre como implementar a Tabela de Páginas em dois níveis. (c) Suponha que na sua implementação do item (b), 3/4 dos elementos da tabela de primeiro nível sejam nulos. Quais os tamanhos máximo e mínimo do espaço de endereçamento utilizado pelo programa?