

**Lista de Exercícios – Sistemas de Entrada e Saída**

2009-1

- 1) Considere um barramento de memória que interliga a cache secundária à memória. Os blocos da cache tem 4 palavras de largura e o clock do barramento é de 200MHz (5ns/ciclo). Os CIs de memória tem tempo de acesso de 47ns. O barramento pode ter, no máximo, 64 vias para dados (mas pode ter tantas quanto necessário para endereço e controle).
    - (i) Defina e descreva o projeto de um barramento e da interface do circuito de memória que, simultaneamente, minimize a latência e maximize a vazão.
    - (ii) Calcule a vazão sustentada e a latência do seu projeto do itemo (i), considerando transferências em rajadas de 1, 4 ou 16 palavras.
  - 2) Quais as diferenças entre (i) barramento síncrono, (ii) barramento assíncrono, e (iii) barramento com transações descontínuas (*split transactions*)?
  - 3) Explique por quê, em sistemas com controladores de acesso direto à memória (CADM), os acessos do CADMs à memória principal tem maior prioridade do que os acessos da CPU à memória. CADMs devolvem o controle do barramento após uns poucos ciclos de transferência (2-8); por que?
  - 4) Escreva a equação do tempo de acesso para leitura de um setor num disco e (i) explique sucintamente a contribuição de cada termo para o desempenho global do sistema de E/S, e (ii) indique um mecanismo e/ou política para melhorar o desempenho do sistema de E/S.
  - 5) Qual é o tempo médio para ler ou escrever um setor de 1024 bytes de um disco? Suponha que o tempo médio de busca (*seek*) anunciado pelo fabricante é 5ms, a taxa de transferência é 50MB/s, a velocidade angular é 10.000rpm, e o controlador dispende 0,1ms tratando da requisição. O disco está desocupado. Calcule novamente supondo que o tempo de busca real é três vezes mais longo do que o anunciado.
  - 6) Desenhe um diagrama mostrando a atualização de um bloco num sistema de discos com RAID-5, no qual os blocos podem ser gravados paralelamente em até 5 unidades de disco.
  - 7) Considere um disco com 16 setores e duas trilhas. Desenhe um diagrama mostrando o leiaute dos setores nas trilhas, com os setores dispostos de forma a se obter o máximo de desempenho. Justifique sua resposta.
  - 8) Em sistemas com caches, memória virtual e controladores de acesso direto à memória (CADM) podem ocorrer problemas na consistência dos dados por conta da atuação em paralelo do processador e do CADM. Explique quais são os problemas que podem ocorrer, e em quais situações eles podem ocorrer. Indique uma possível solução para um dos problemas listados.
- 13.8) How does DMA increase system concurrency? How does it complicate hardware design?  
[SGG-osc]
- 13.10) Why is it important to scale up system bus and device speeds as the CPU speed increases?  
[SGG-osc]
- 14.2) Suppose that a disk drive has 5000 cylinders, numbered 0 to 4999. The drive is currently serving a request at cylinder 143, and the previous request was at cylinder 125. The queue of pending requests, in FIFO order, is 86, 1470, 913, 1774, 948, 1509, 1022, 1750, 130  
Starting from the current head position, what is the total distance (in cylinders) that the disk arm moves to satisfy all the pending requests, for each of the following disk-scheduling algorithms?  
(a) FCFS (b) Shortest Seek Time First (c) SCAN (elevador) (d) C-SCAN (elevador unidirecional).  
[SGG-osc]